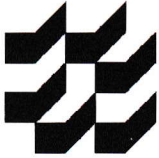




Fachhochschule Kiel, Fachbereich Elektrotechnik  
Institut für Technische Informatik und Systemtechnik  
Prof. Dr. Helmut Dispert

## **XCAE**

### **Rechnergestützte Schaltungsentwicklung**



Fachhochschule Kiel, Fachbereich Elektrotechnik  
Institut für Technische Informatik und Systemtechnik  
Prof. Dr.-Ing. Helmut Dispert

## **Rechnergestützte Schaltungsentwicklung**

### **Technische Realisierung elektronischer Geräte und Anlagen**

Elektronische Systeme  
Elektronische Baugruppen

### **Baugruppenrealisierung**

Leiterplattentechnik  
Hybridtechnik  
Kompaktbaugruppen

### **Verdrahtung Mikrostruktur-Makrostruktur (Verdrahtungsproblem)**

Aufbau- und Verbindungstechnik (*plated through*, SMD),  
Technologische Verfahren für die elektrische Verbindung  
zwischen unterschiedlichen Ebenen des Verdrahtungsträgers.

### **Leiterplatten, Leiterplattentechnologie**

EEC: Einebenenleiterplatten  
ZEL: Nichtdurchkontaktierte Zweiebenenleiterplatten (NDKL)  
DKL: Durchkontaktierte Zweiebenenleiterplatten  
MLL: Mehrlagenleiterplatten  
MDL: Mehrdrahtleiterplatten  
FLP: Flexible Leiterplatten

### **CAE/CAD-Systeme**

Hard- und Softwarekomponenten  
Benutzeroberflächen

### **Stromlaufplanerstellung**

Normen, Symbole und Bibliotheken  
Netzlistengenerierung

### **Schaltungssimulation**

Fehlertypen  
Simulationsebenen

### **Layouterstellung**

Bauteilplatzierung (*placement*)  
Entflechtungsverfahren (*routing*)

### **Erstellung von Dokumentations- und Fertigungsunterlagen**

Erzeugung von CAM-Unterlagen (Gerber-File, Bohrdaten)  
Partslist

## Literaturnachweis

**Ammon, P.:**

Entwurf von Leiterplatten, Heidelberg, Hüthig 1987.

**Coombs, C.F.:**

Printed Circuits Handbook, New York, McGraw-Hill 1967.

**Einarson, N.S.:**

Printed Circuit Technology, Burlington 1977.

**Hanke, H.-J.:**

Baugruppenttechnologie der Elektronik, Berlin, Technik 1994.

**Hummel, M.:**

Einführung in die Leiterplattentechnologie, Saulgau, Leuze 1991.

**Nolde, R.:**

SMD-Technik, München, Franzis 1989.

**Rose, M.:**

Leiterplattenentwurf, Heidelberg, Hüthig 1992.

**Sautter, R.:**

Leiterplatten mit oberflächenmontierten Bauelementen, Würzburg, Vogel 1988.

## DIN Standards for Printed Circuits

**DIN 40801 Sheets 1,2:**

Printed circuits, basic principles. Guidelines for the design and use of components, holes, grids, nominal thicknesses.

**DIN 40802 Sheets 1,2,10:**

Metal-coated base materials for printed circuits.

**DIN 40803 Sheets 1,2:**

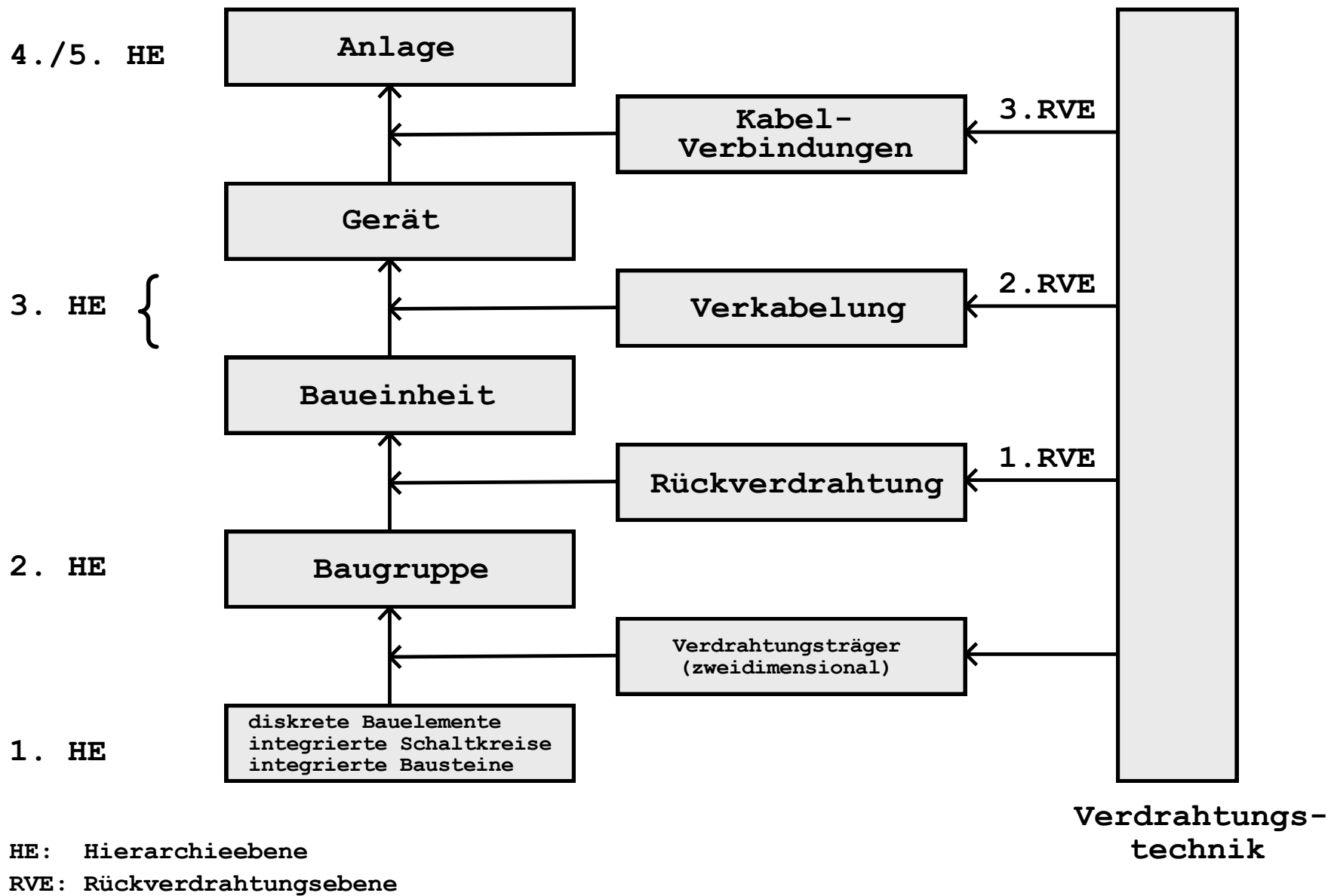
Printed circuits, printed circuit boards, general requirements, tests, tolerance tables, data.

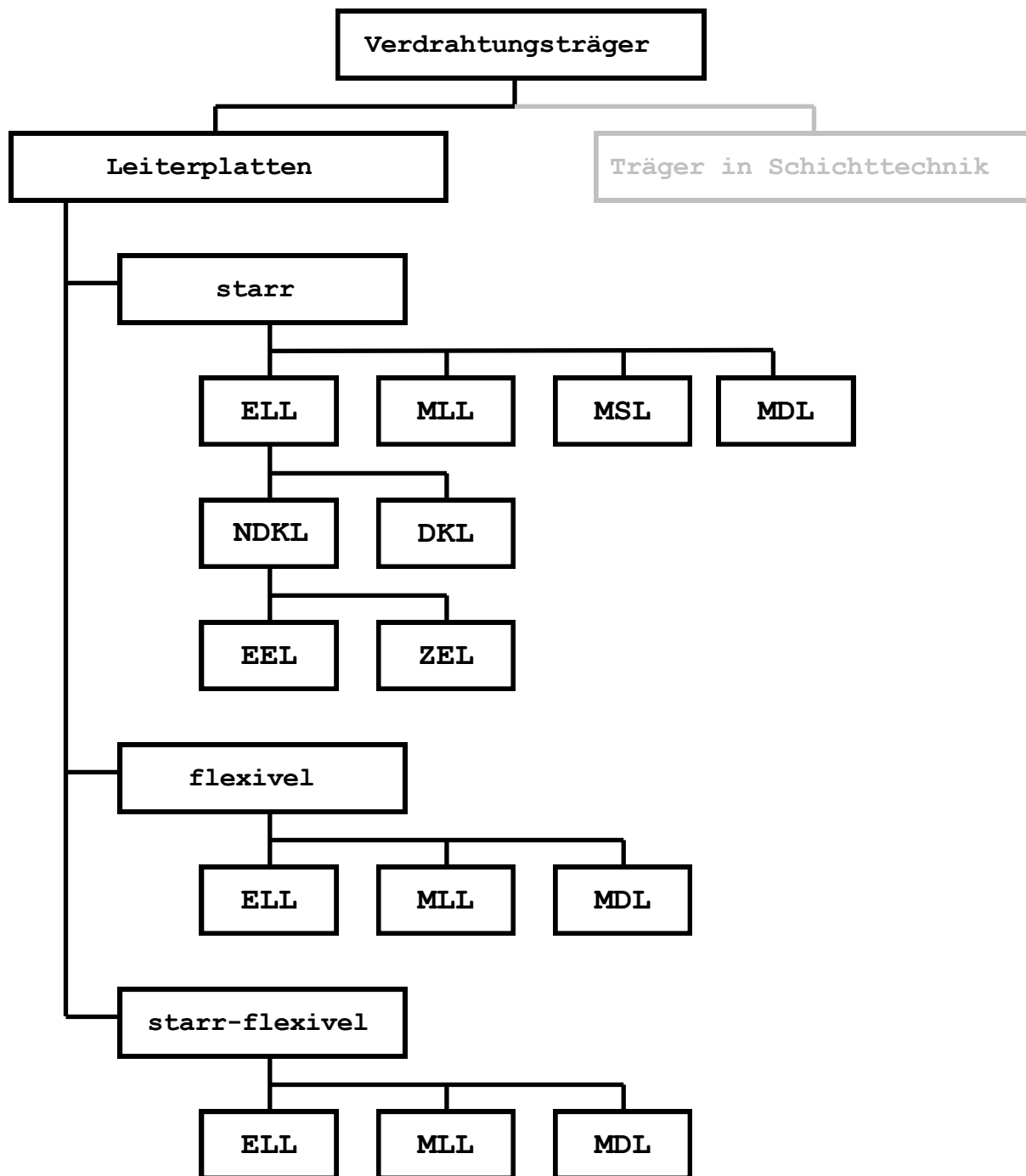
**DIN 40804:**

Printed circuits, terms.

**DIN 41612, 41613, 41617:**

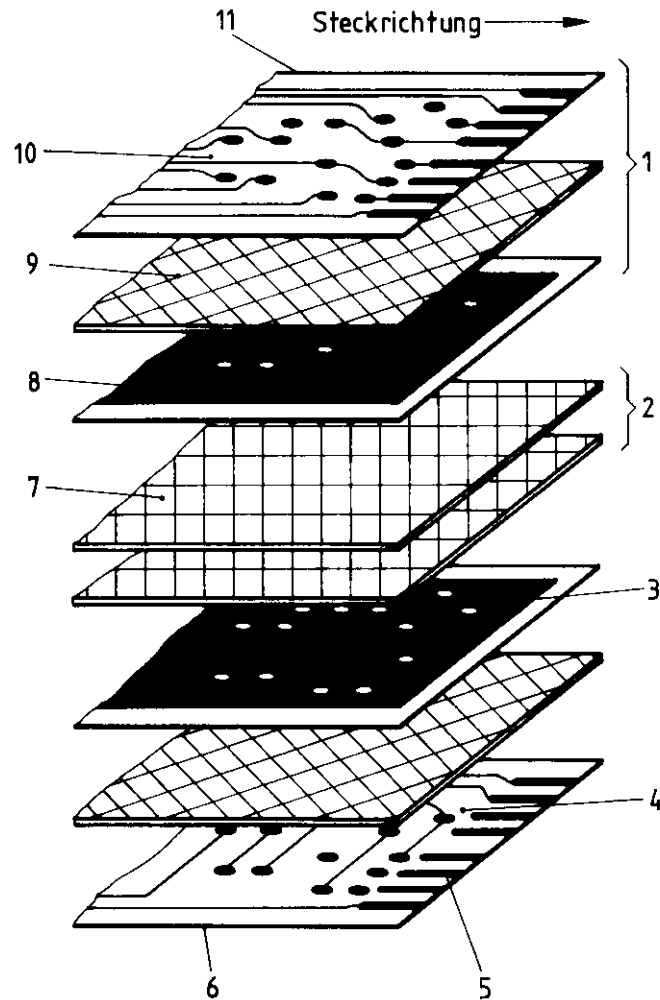
Connectors for printed circuits.





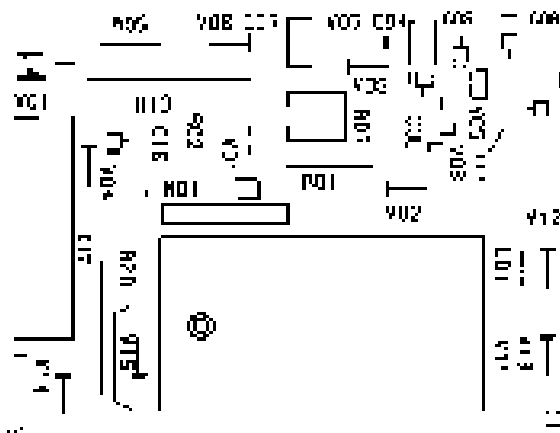
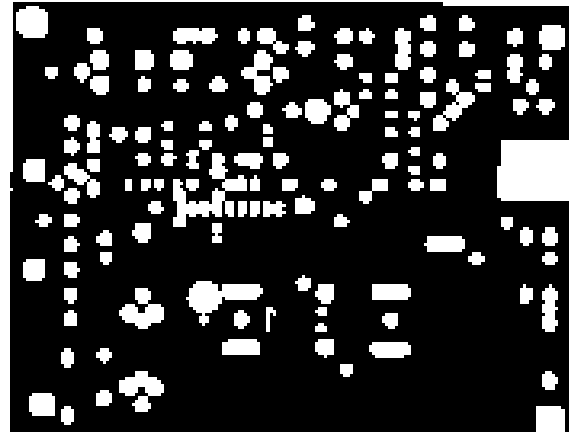
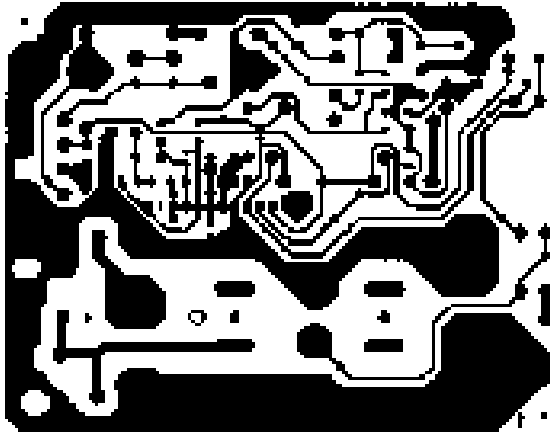
- ELL:** Einlagenleiterplatte
- EEL:** Einebenenleiterplatte
- ZEL:** Zweiebenenleiterplatte
- MLL:** Mehrlagenleiterplatte
- MSL:** Mehrschichtleiterplatte
- MDL:** Mehrdrahtleiterplatte
- NDKL:** Nichtdurchkontaktierte Leiterplatte
- DKL:** Durchkontaktierte Leiterplatte

# Aufbau einer Mehrlagenleiterplatte



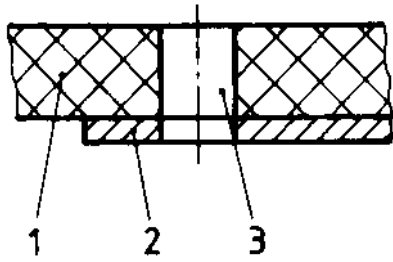
1. Basismateriallage,
2. Zwischenlage (Prepreg),
3. Innenebene (Abschirmebene),
4. Außenebene (Informationsebene),
5. Kontaktkamm (gedruckte Rundkontakte),
6. Bestückungsseite,
7. Prepreg,
8. bestückungsseitiges Leiterbild,
9. Basismaterial,
10. lötseitiges Leiterbild,
11. Lötseite.

# Einebenenleiterplatte



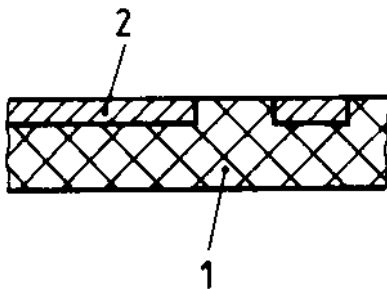
- a) Leiterbild (oben links),  
b) Lötmaske (oben rechts),  
c) Kennzeichnungsdruck (unten).

## Schnittbild einer Einebenenleiterplatte



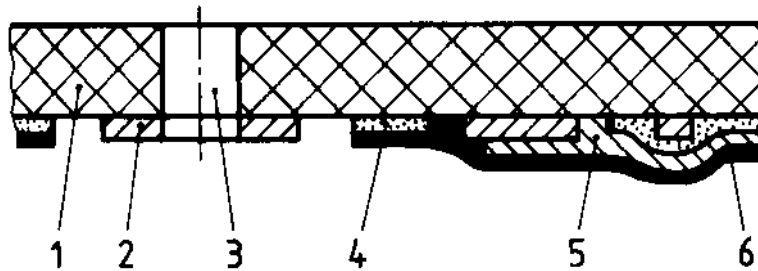
1. Basismaterial,
2. Leiterbild,
3. Bestückungsloch.

## EEL mit tiefgelegtem Leiterbild



1. Basismaterial,
2. tiefgelegtes Leiterbild.

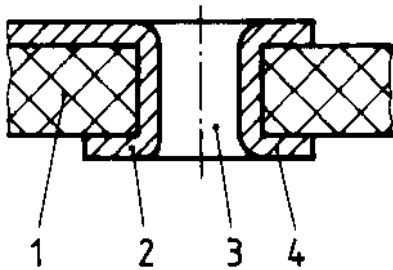
## EEL mit Brückendruck



1. Basismaterial,
2. Leiterbild (Kupferkaschierung),
3. Bestückungsloch,
4. Lötmaske (Isolationsschicht),
5. Leiterbild Brückendruck),
6. Lötmaske (Abdeckschicht).

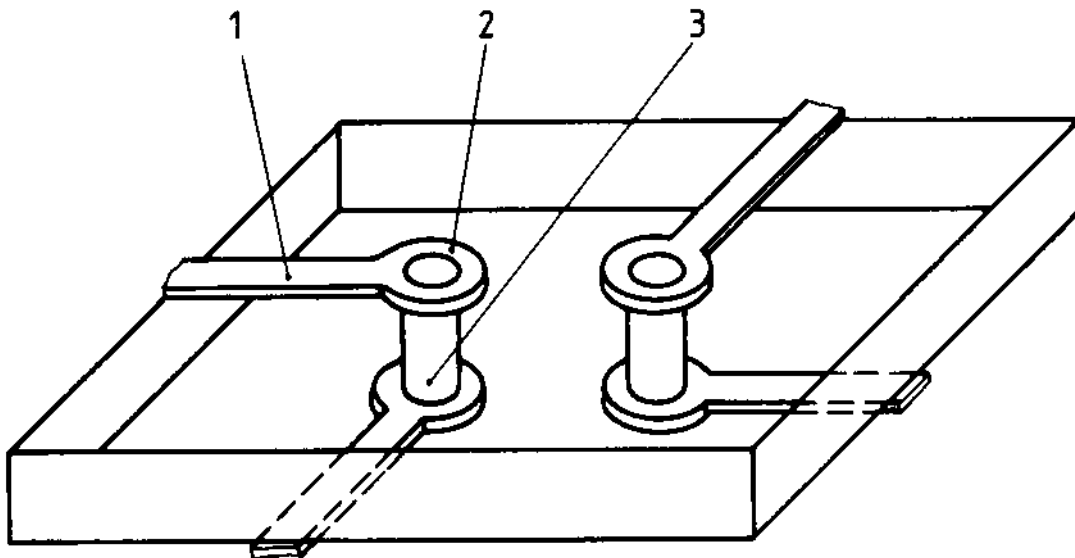


## Durchkontaktierte Leiterplatte



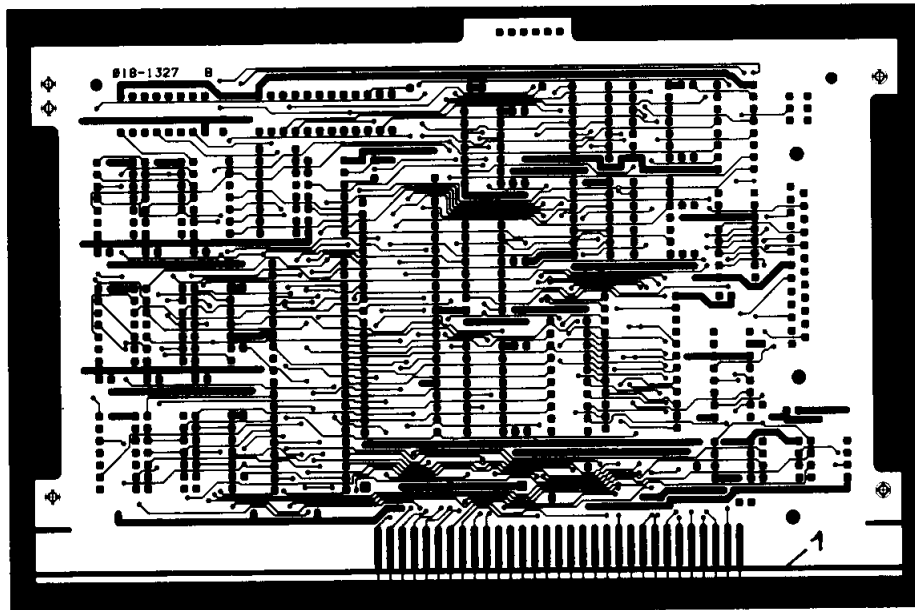
1. Basismaterial,
2. Leiterbild,
3. Bestückungsloch,
4. Lochmetallisierung.

## Metallstruktur einer DKL

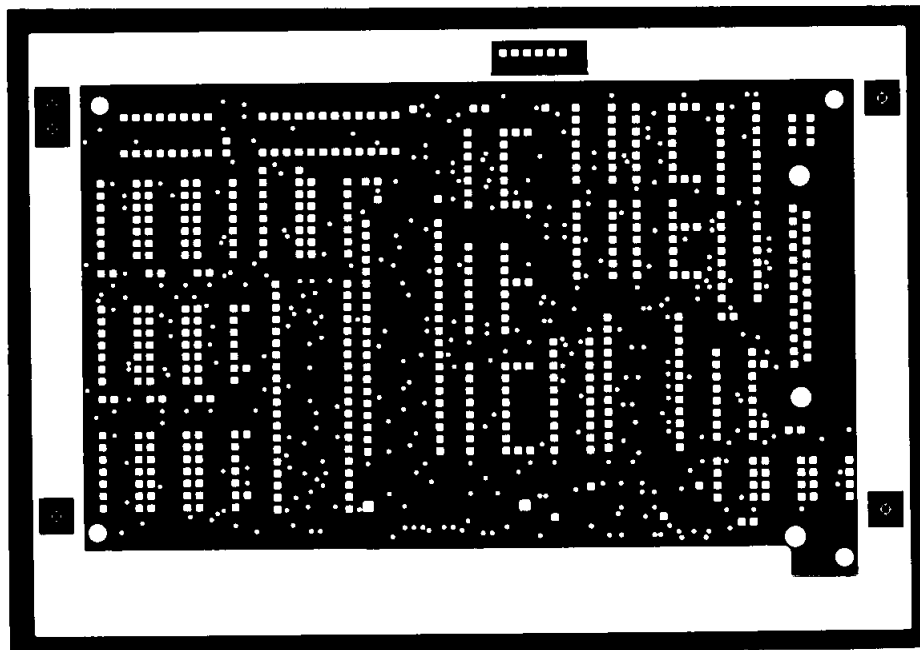


1. Leiterzug,
2. Lötauge,
3. Metallisierungshülse.

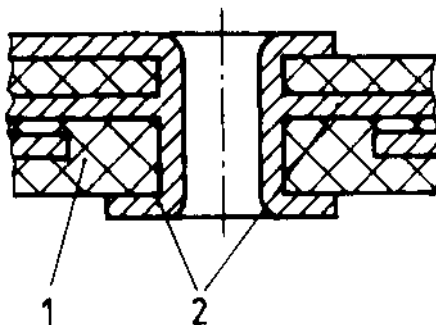
# Mehrlagenleiterplatte



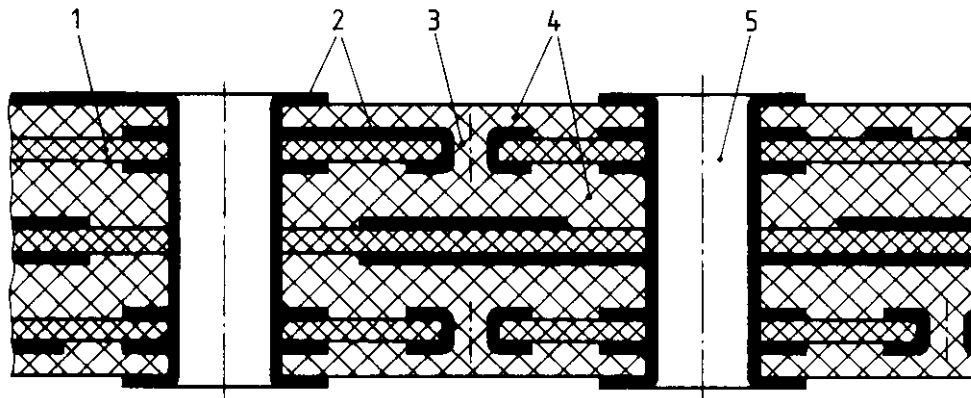
1.



Basismaterial,  
2. Leiterbild.



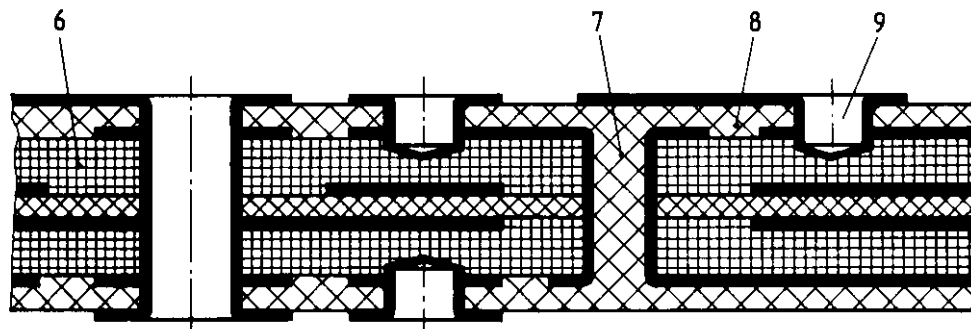
## 8-Ebenen-Leiterplatte



Schnittbild einer 8-Ebenen-Leiterplatte mit durchkontaktierten Innenlagen:

1. Basismaterial,
2. Leiterbild,
3. Innenliegendes Durchverbindungsloch,
4. Zwischenlage,
5. Bestückungsloch.

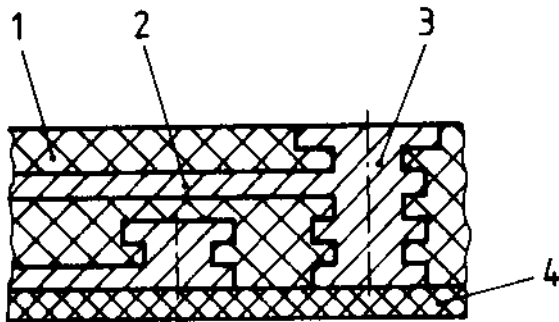
## 6-Ebenen-Leiterplatte



Schnittbild einer 6-Ebenen-Leiterplatte mit durchkontaktierten äußeren und inneren Leiterbildern:

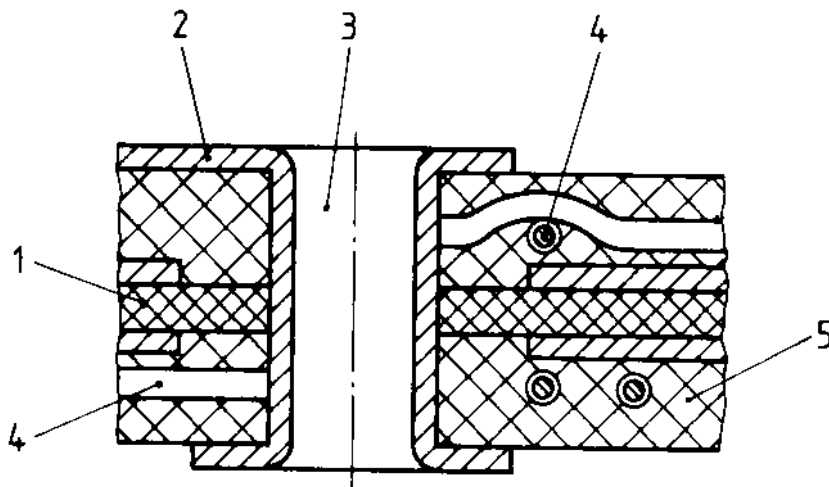
6. Zwischenlage (Prepreg, erste Preßstufe),
7. innenliegendes Durchverbindungsloch in der ersten Preßstufe,
8. Zwischenlage (Prepreg, zweite Preßstufe),
9. außenliegendes Durchverbindungsloch (Blindloch).

## Mehrschichtleiterplatten (MSL)



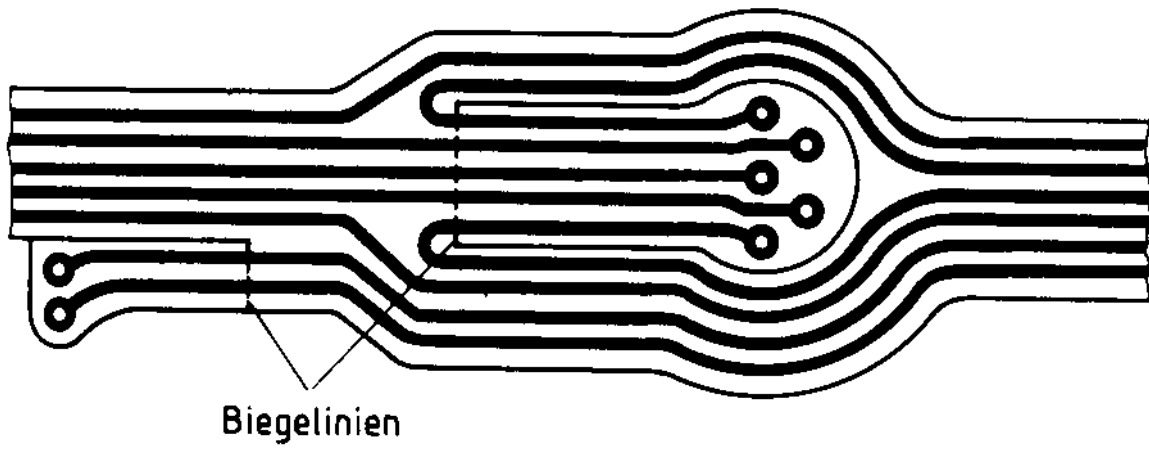
1. Isolationsschicht,
2. Leiterbild,
3. Durchkontaktierung,
4. Basismaterial.

## Mehrdrahtleiterplatte (MDL)



1. Basismaterial,
2. Leiterbild (Kupferfolie),
3. Bestückungsloch,
4. Leiterbild (Drahtleiter, isoliert),
5. Drahteinbettungs- und Isolationsschicht (Prepregs).

# Flexible Leiterplatte



# Basismaterialien

Harz:

Phenolharz  
Epoxidharz  
Polyester  
Polyimid  
Teflon

Trägermaterial:

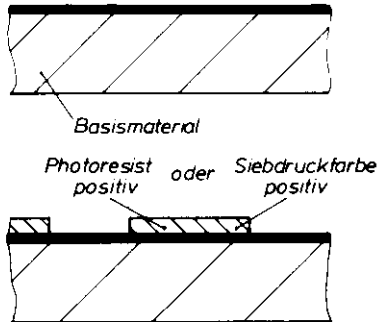
Papier  
Glasgewebe  
Glasmatte  
Quarzgewebe  
Kevlar

Harz	Trägermaterial	DIN	NEMA
Phenol	Papier	PF-CP 02	FR 2
Epoxid	Papier	EP-CP 01	FR 3
Epoxid	Glasgewebe	EP-GC 01	G 10
		EP-GC 02	FR 4

Basismaterialien:

Phenolharzpapier  
Epoxidharzpapier  
Epoxidglashartgewebe  
Teflonfolie  
Polyimidfolie

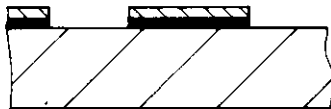
# Einseitige Leiterplatten



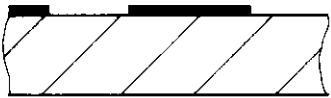
*Basismaterial, einseitig  
35 µm Kupferkaschiert*

*Zuschneiden / Reinigen*

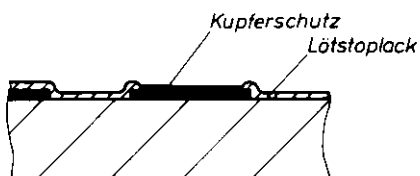
*Ätzresistfarbe positiv im  
Siebdruckverfahren auf-  
gebracht oder Photoresist*



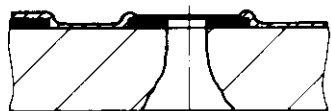
*Leiterplatte sauer geätzt*



*Ätzresist entfernt*

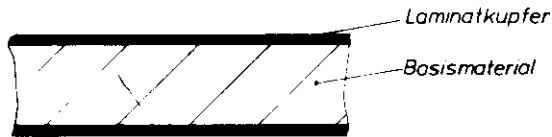


*Lötstoplack aufgebracht  
Leiterplatte gebeizt und  
freie Kupferoberfläche  
geschützt*



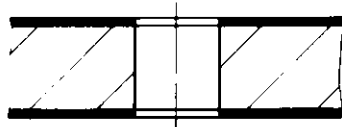
*Lochbild und kontur ge-  
stanzt*

# Metallresist-Technik

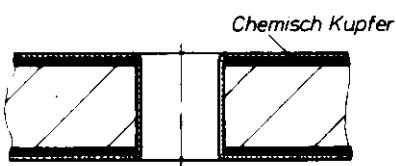


Basismaterial, zweiseitig  
18µm Kupferkaschiert

Zuschneiden

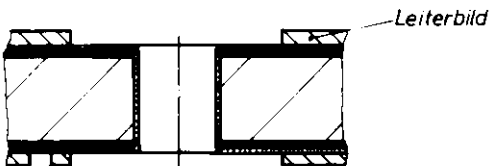


Lochbild bohren

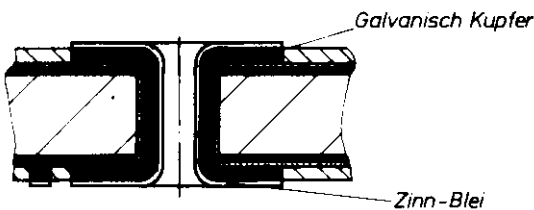


Reinigen/Bürsten

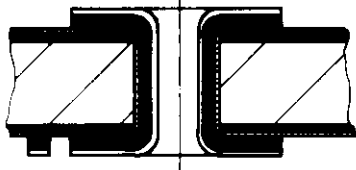
Katalysieren  
Chemisch verkufern 3-5µm



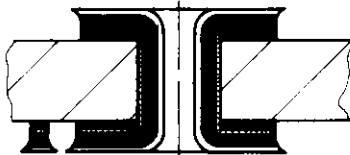
Leiterbilddruck (Sieb- oder  
Fotodruck) negativ



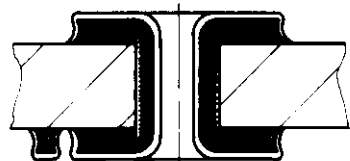
Kupfer und Zinn/Blei  
galvanisch abgeschieden



Leiterbild entfernt



Leiterplatte alkalisch geätzt



Zinn/Blei-Schicht umge-  
schmolzen  
Leiterplatte gffls. mit Löt-  
stop-Servicedruck versehen  
Vereinzeln

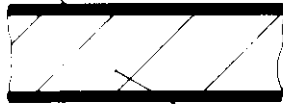


## Leiterbahnhöhe (Metallresist-Technik)

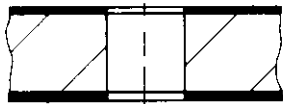
Ausgangsdicke des Basismaterials	18 $\mu\text{m}$	35 $\mu\text{m}$
Chem. Kupfer	max. 5 $\mu\text{m}$	max. 5 $\mu\text{m}$
Galvan. Kupfer	35 $\mu\text{m}$	35 $\mu\text{m}$
Zinn/Blei (Sn/Pb)	15 $\mu\text{m}$	15 $\mu\text{m}$
Leiterbahnhöhe	ca. 73 $\mu\text{m}$	ca. 90 $\mu\text{m}$

# Metallresist-Strip-Technik

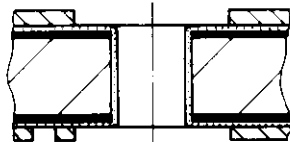
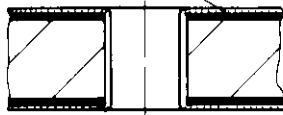
Laminatkupfer



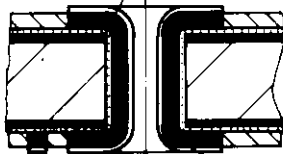
Basismaterial



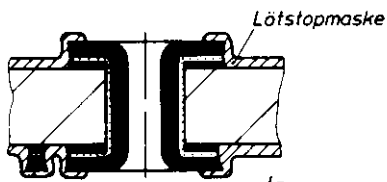
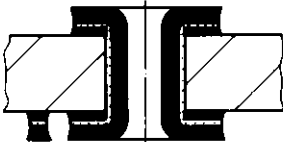
Chemisch Kupfer



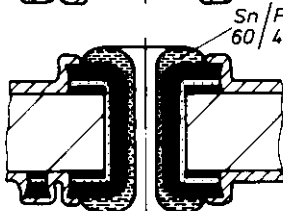
Galvanisch Kupfer



Ätzresist



Lötstopmaske



Sn/Pb  
60/40

Basismaterial, zweiseitig  
18µm Kupferkaschiert

Zuschneiden

Lochbild bohren

Reinigen / Bürsten

Katalysieren  
Chemisch verkupfern 3-5µm

Leiterbilddruck (Sieb- oder  
Fotodruck) negativ

Kupfer und Ätzresist  
galvanisch abgeschieden  
Ätzresist=  
Zinn / Zinn-Blei / Blei

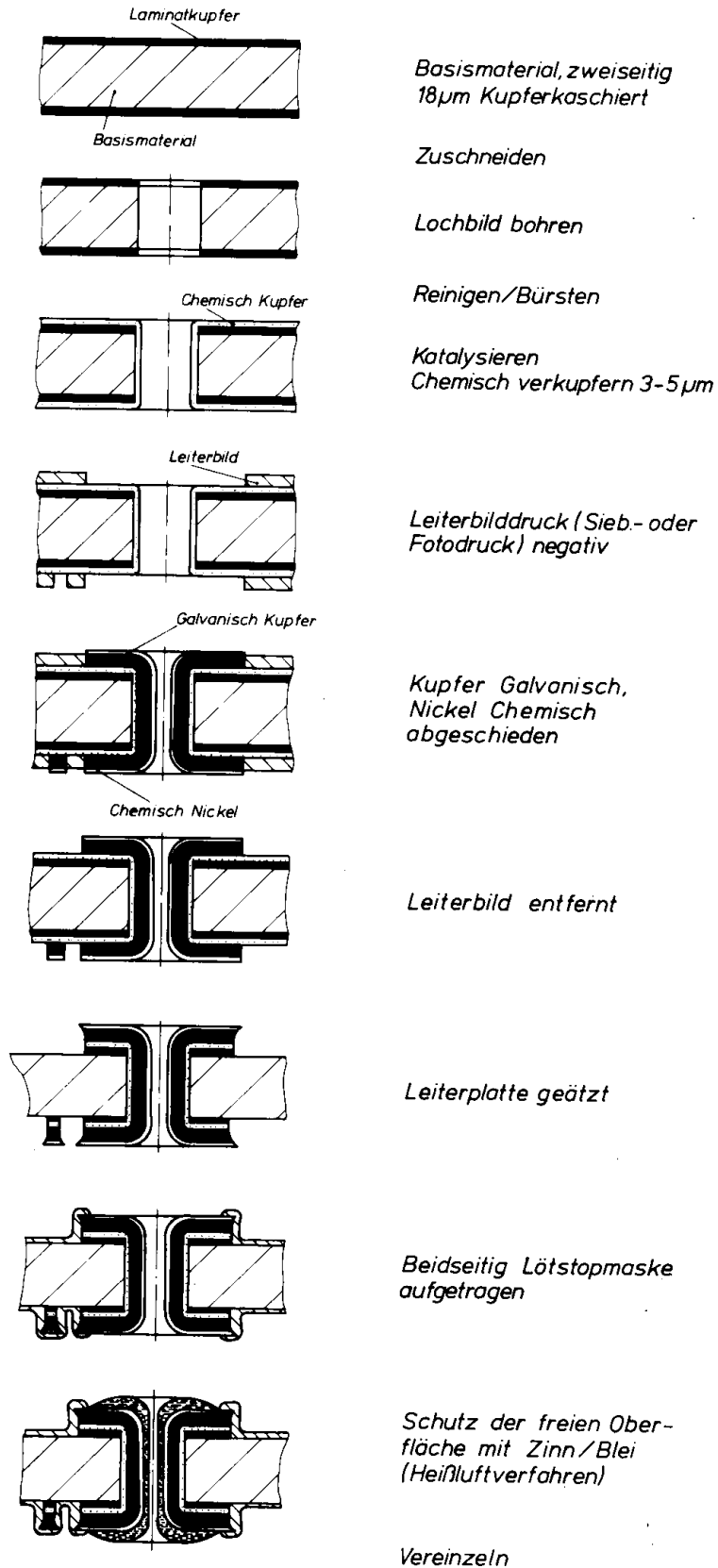
Negatives Leiterbild entfernt  
Leiterplatte alkalisch geätzt  
Ätzresist chemisch entfernt

Beidseitig Lötstopmaske  
aufgetragen

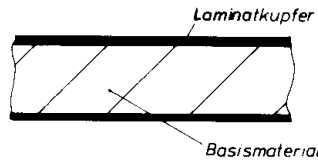
Schutz der freien Oberfläche  
mit Zinn / Blei (Heißluftverfahren)  
oder Lötstopmaske

Vereinzeln

# Ni chem-Technik

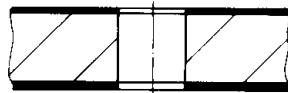


# Tenting-Technik

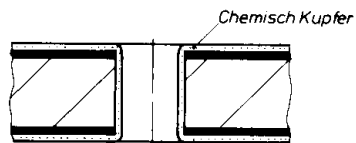


Basismaterial ,zweiseitig  
18 µm Kupferkaschiert

Zuschneiden

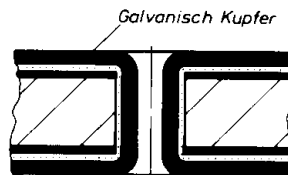


Lochbild bohren

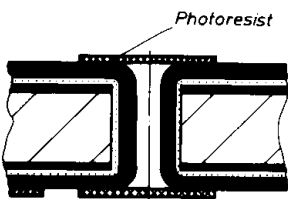


Reinigen / Bürsten

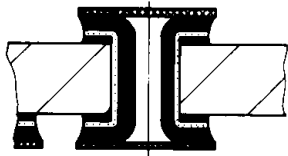
Katalysieren ,Chemisch  
3-5 µm verkupfern



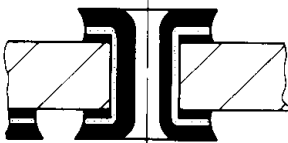
Ganzflächig 35 µm  
Kupfer galvanisch



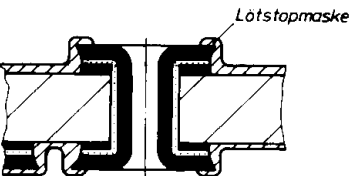
Feststoff Photoprozeß  
positiv  
Photoresist verschließt  
die Lochung und dient  
als Ätzresist



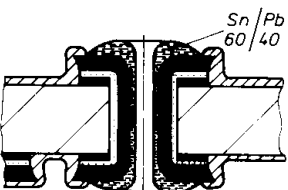
Leiterplatte mit saurem  
Ätzmedium geätzt



Photoresist entfernt



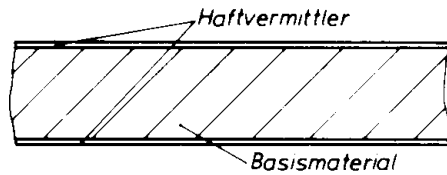
Beidseitig Lötstopmaske  
aufgetragen



Schutz der freien Ober-  
fläche mit Zinn/Blei (Heiß-  
luftverfahren) oder Löt-  
schutzlack

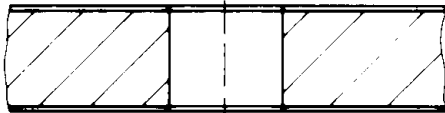
Vereinzeln

# Semiadditiv-Technik



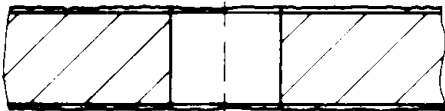
Basismaterial 2-seitig mit Haftvermittler beschichtet

Zuschneiden

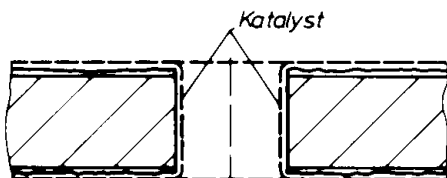


Lochen (Bohren oder Stanzen)

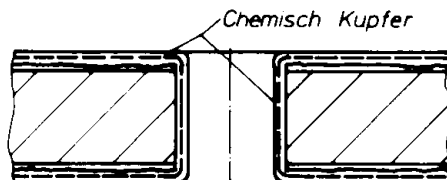
Reinigen



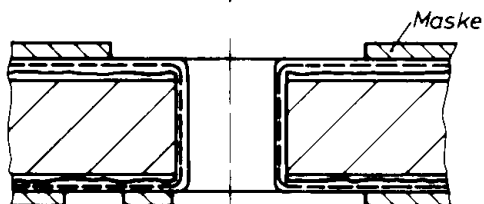
Aufschließen des Haftgrundes



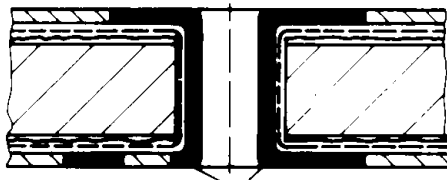
Katalysieren



Chemisch vorverkupfern

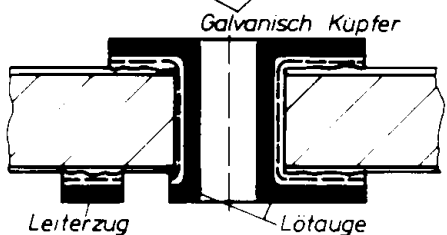


Leiterbilddruck (Sieb oder Foto-  
druck negativ)



Leiterbild galvanisch verstärken

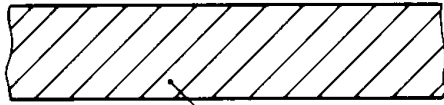
Entfernen der Maske und wegätzen  
der Grundsicht



Leiterplatte gffs. mit Lötstop-  
Servicedruck versehen

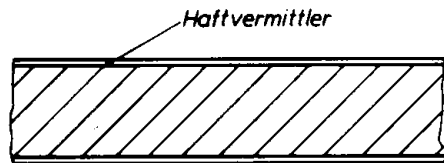
Vereinzeln

# CC4-Technik



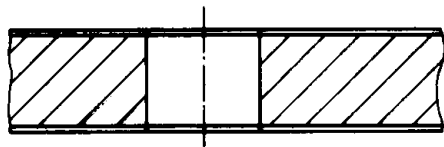
*Unkaschiertes Basismaterial  
(katalysiert)*

*Zuschneiden, Reinigen*



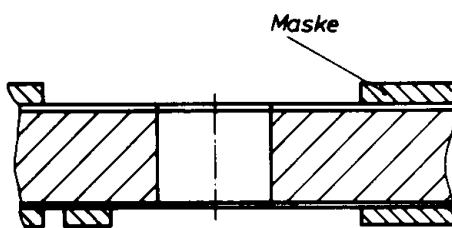
*Beschichten mit Haftvermittler  
(katalysiert)*

*Aushärten*

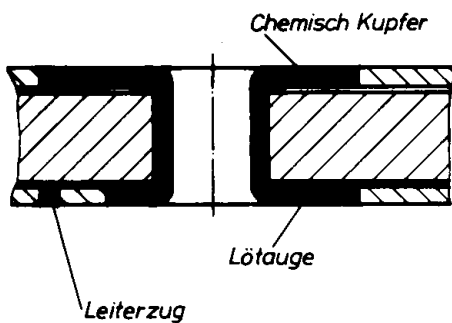


*Lochen (Bohren oder Stanzen)*

*Reinigen*



*Leiterbilddruck (Sieb- oder  
Fotodruck negativ)*



*Chemisch verkupfern*

*Entfernen der Photomaske. Sieb-  
druckmaske bleibt permanent.*

*Leiterplatte gffs. mit Lötstop-  
Servicedruck versehen und  
schützen.*

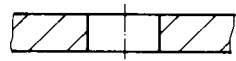
*Vereinzeln*

# Metallkernplatten



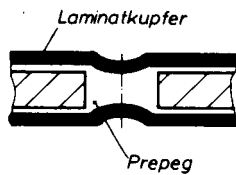
Aluminium oder  
Stahl

Zuschneiden

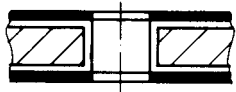


Bohren des  
Lochbildes

Reinigen

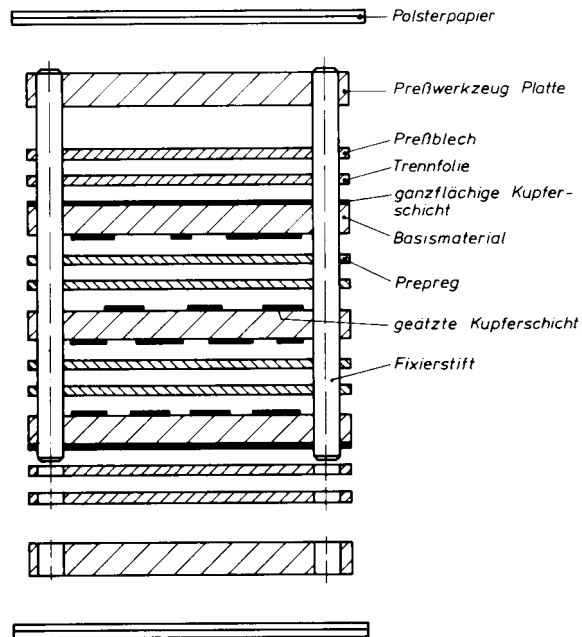


Aufaminieren Prepeg  
und Kupferschicht

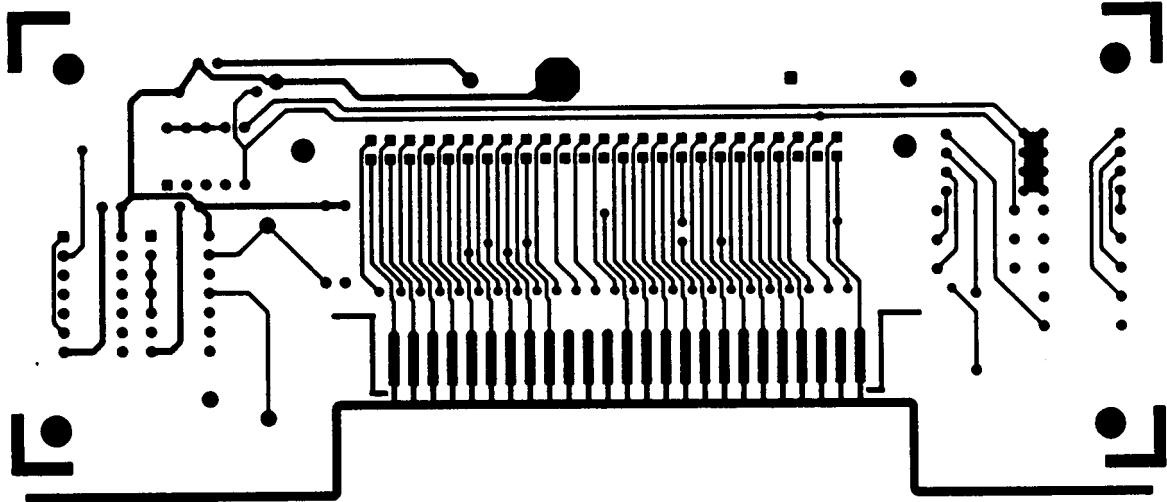


Aufbohren des  
Lochbildes

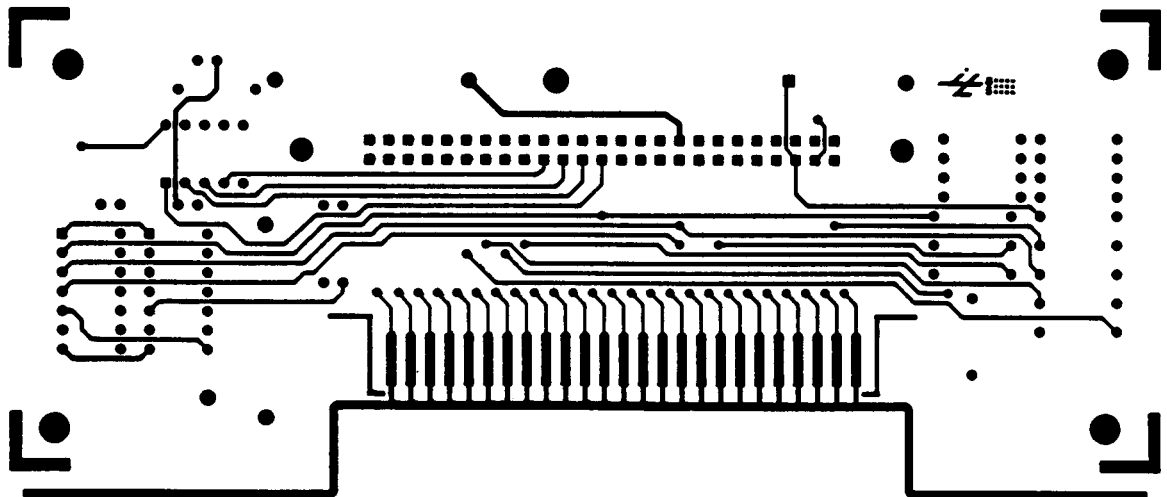
# Multilayer-Aufbau (vor Verpressen)



## Leiterbild (Bauteilseite)

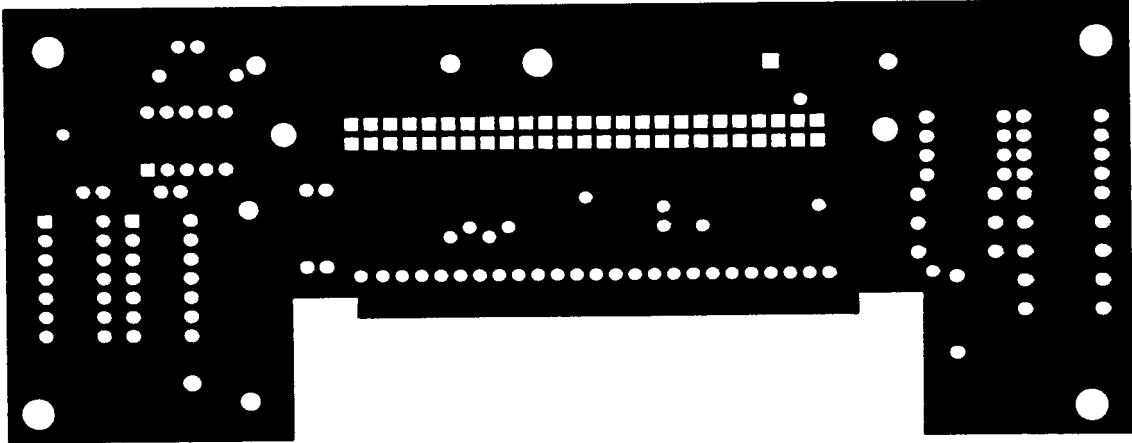


## Leiterbild (Lötseite)

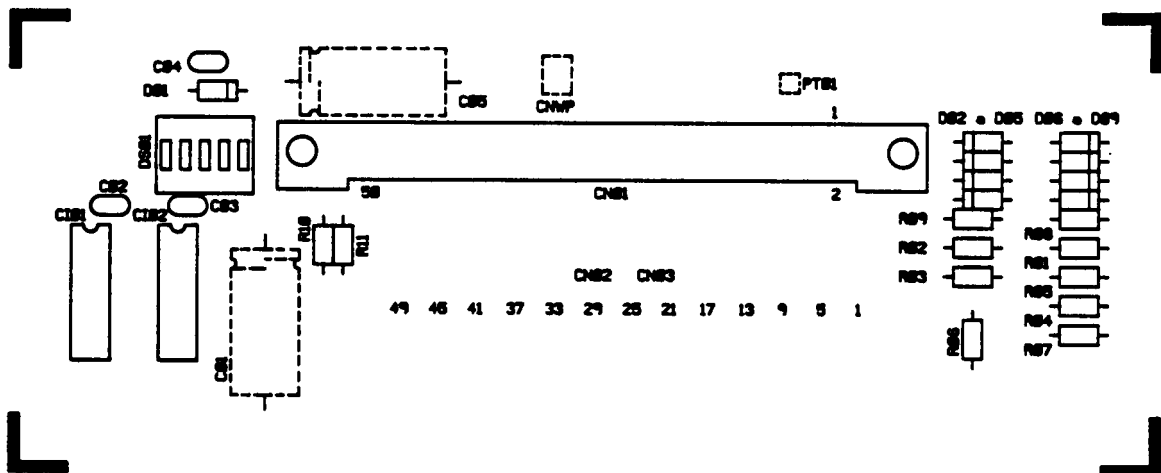




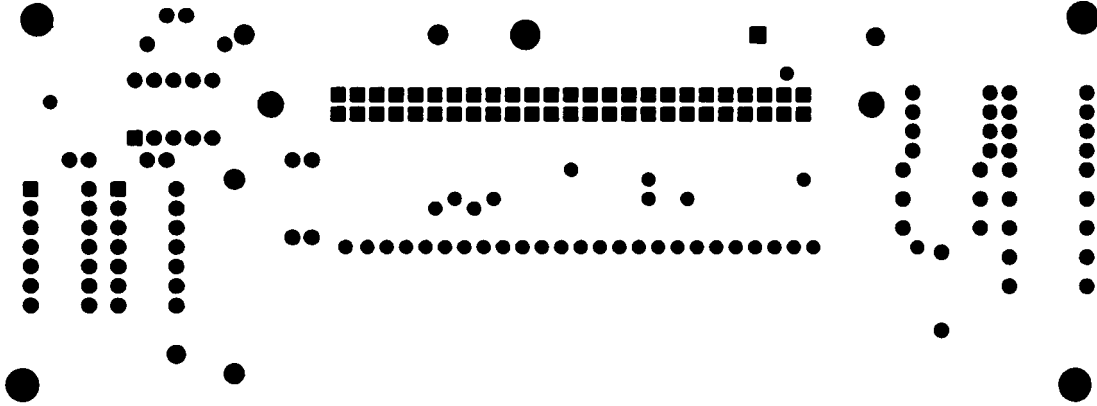
# Lötstopmaske (beide Seiten, positiv)



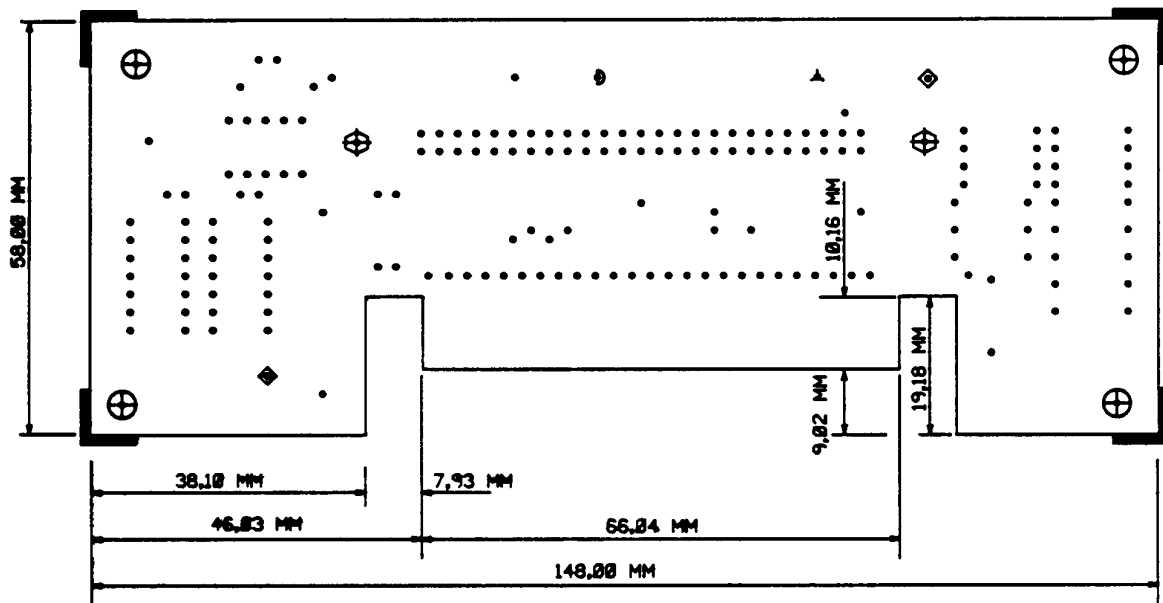
# Positionsdruck (Bestückungsseite)



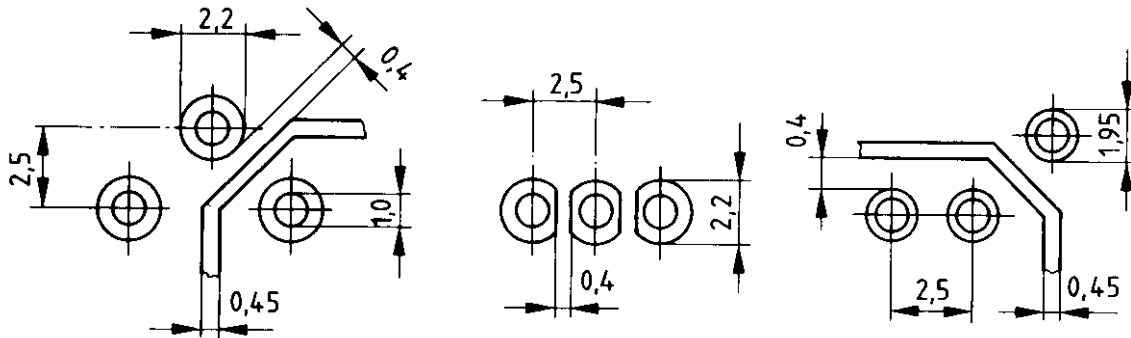
# Lötaugen "Pad Master"



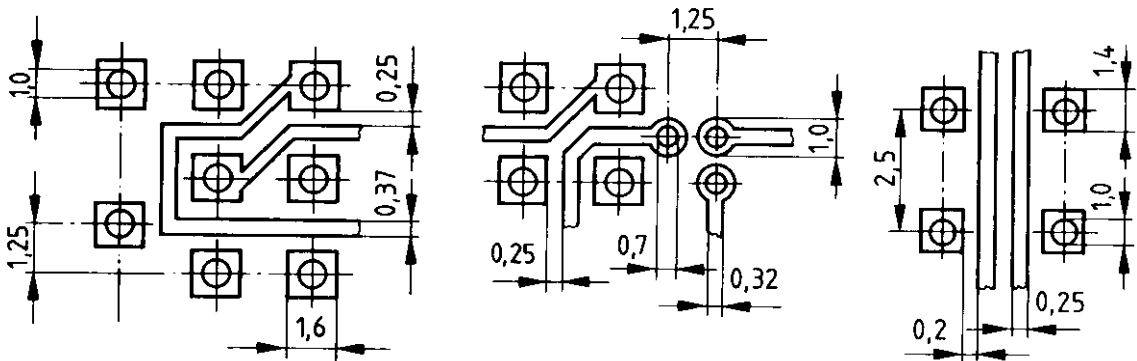
# Bohr- und Fräsdiagramm



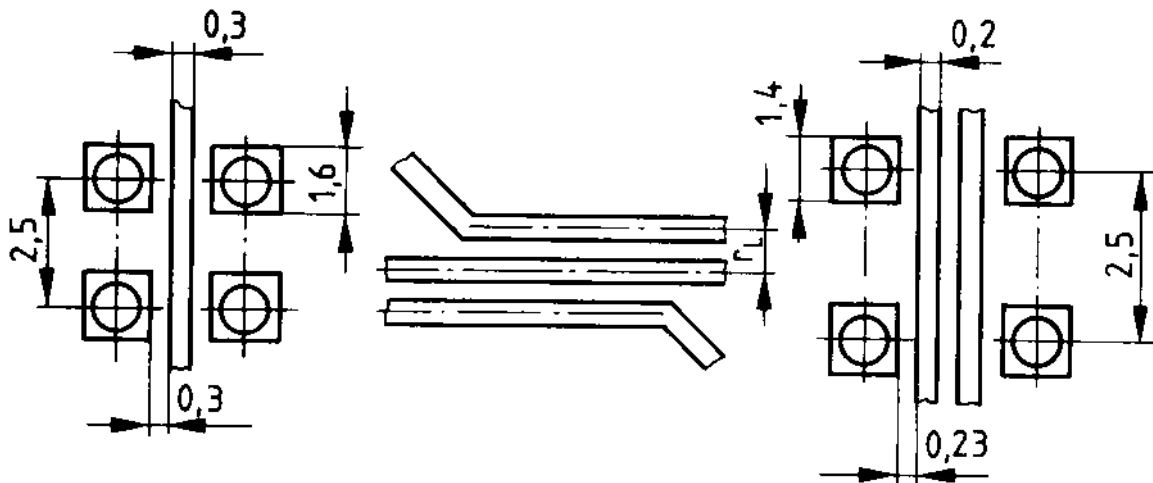
## Entwurfskriterien (EEL)



## Entwurfskriterien (ZEL)

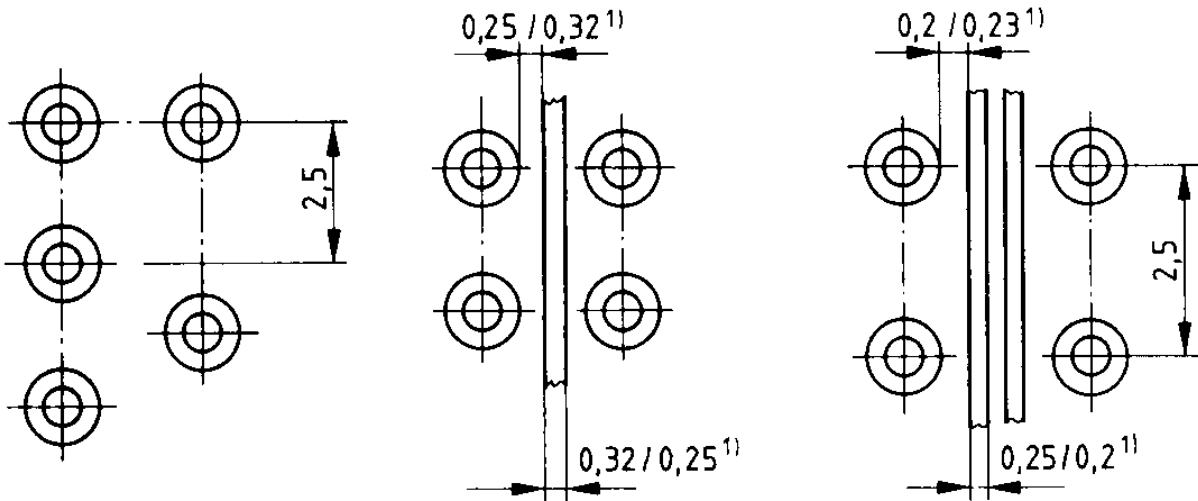


## Entwurfskriterien (MLL)

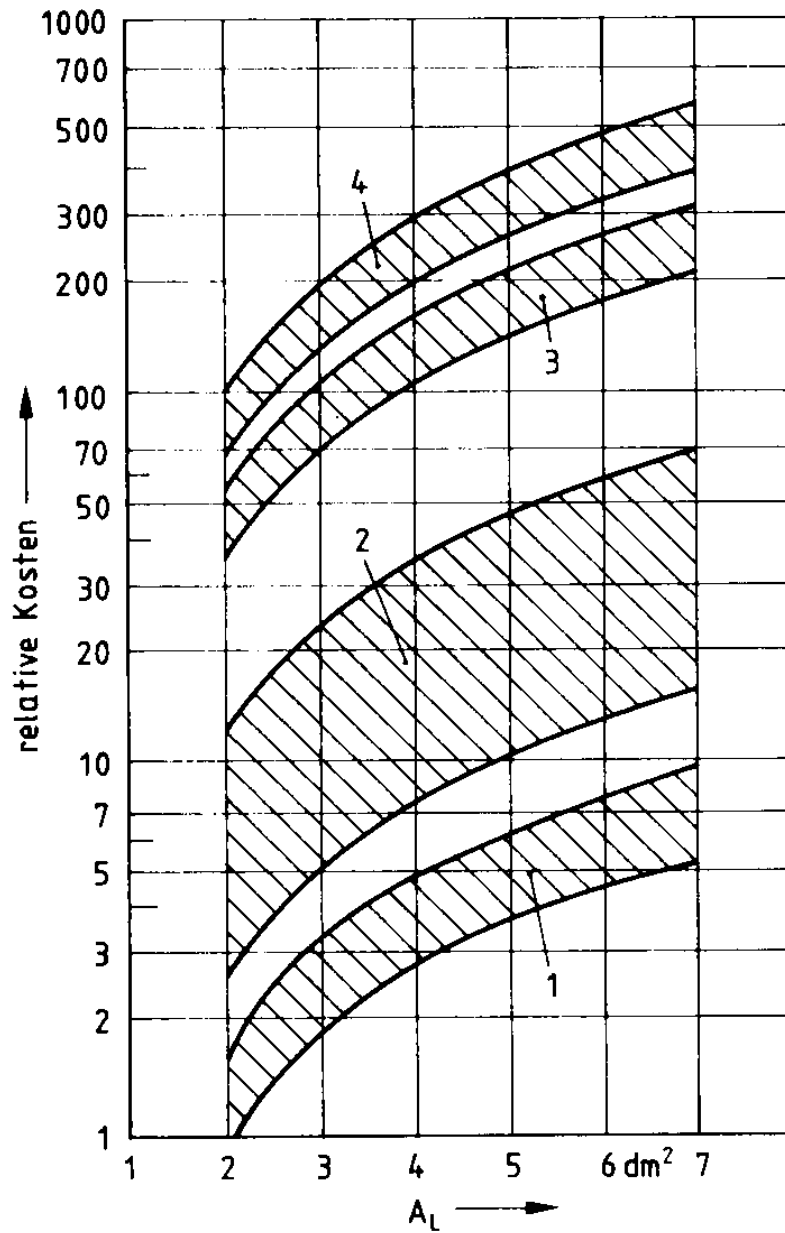


Schwierigkeitsgrad	I	II	III
	$r_L$ [mil/mm]		
Außenebenen	50/1,25	50/1,25	25/0,625
Innenebenen	50/1,25	25/0,625	25/0,625

## Entwurfskriterien (Flex. LP)



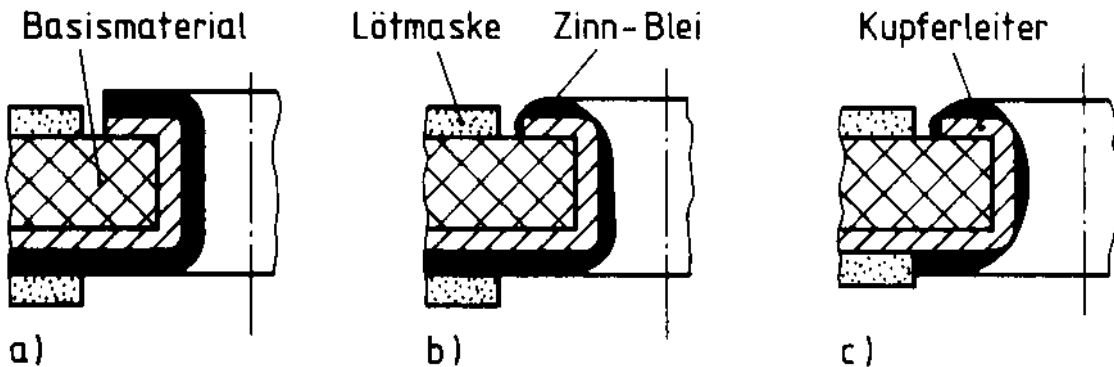
# Relative Kosten



$A_L$  = Fläche

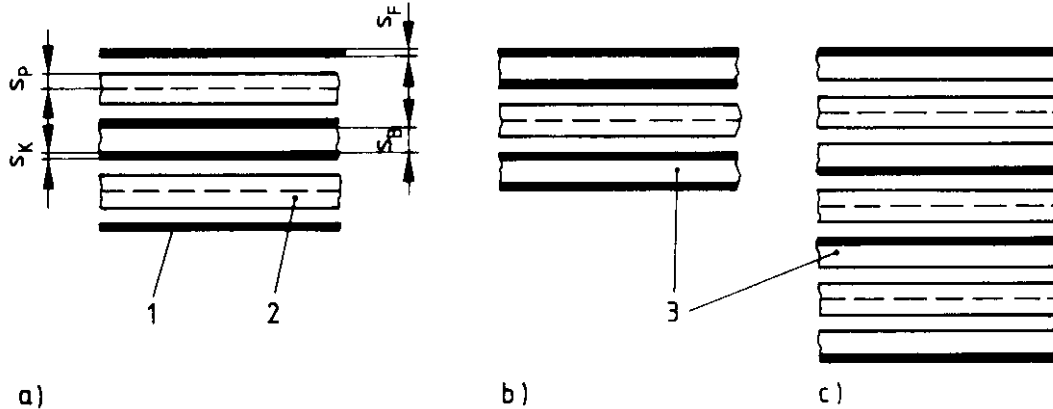
1. Einebenenleiterplatte
2. Durchkontaktierte Zweiebenenleiterplatte
3. Mehrlagenleiterplatte (4 Leiterebenen)
4. Mehrlagenleiterplatte (8 Leiterebenen)

## Ausführung von Lötsschichten



- a) Metallresisttechnik (Zinn-Blei galvanisch abgeschieden)
- b) Metallresisttechnik (Zinn-Blei IR-verschmolzen)
- c) Tentingtechnik (heißbelotet)

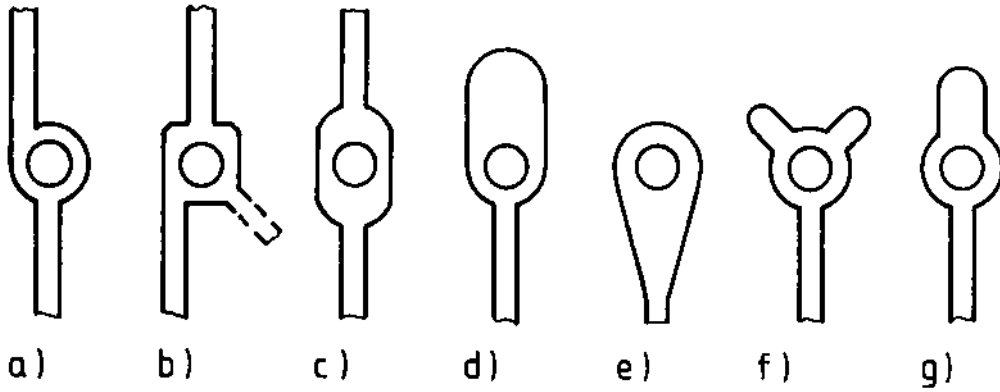
## Schichtaufbau einer 4-Ebenen-MLL



- a) Kupferfolientechnik für außenliegende Leiterbilder
- b) Laminiertechnik (zweiseitige Kupferkaschierung)
- c) Laminiertechnik (einseitige Kupferkaschierung)

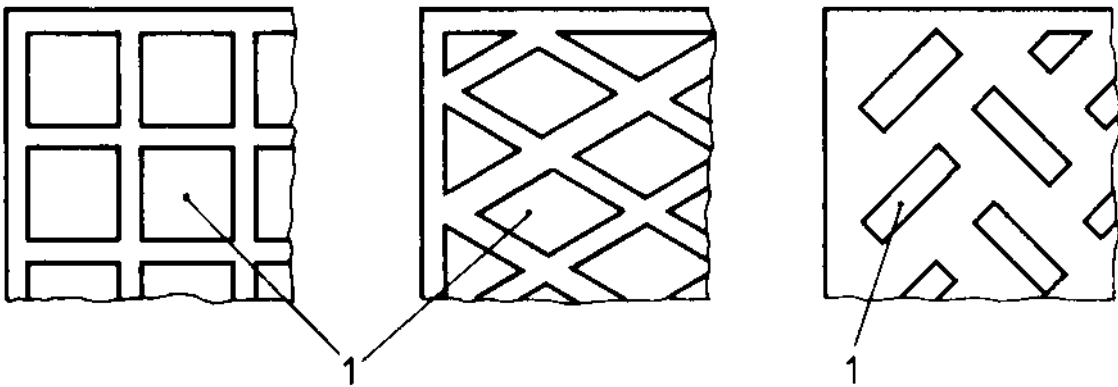
1 Kupferfolie, 2 Zwischenlage, 3 Basismateriallage  
 $s_B$  Dicke einer Basismateriallage ohne Kupfer,  
 $s_F$  Kupferfoliendicke,  
 $s_K$  Kupferschichtdicke innenliegender Leiterbilder,  
 $s_P$  Prepregdicke im verpreßten Zustand.

## Lötaugenformen



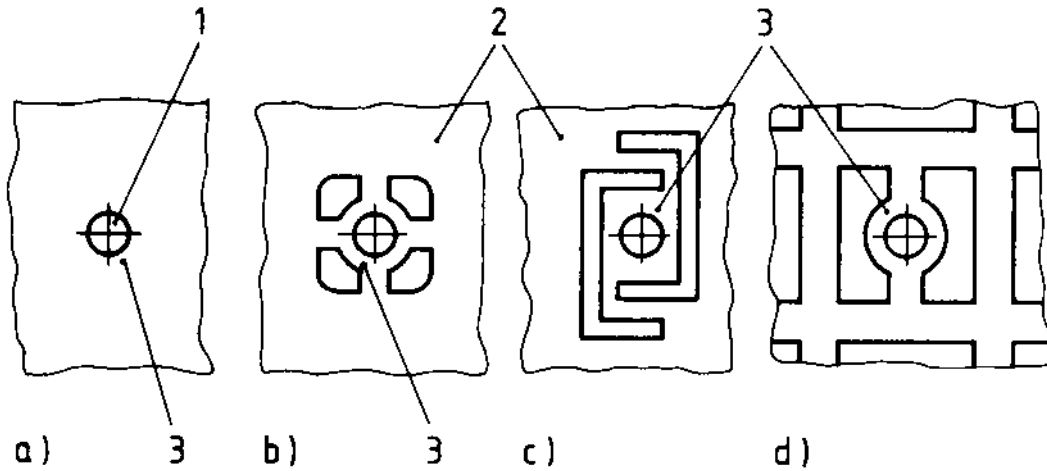
a - d: starre Leiterplatten,  
d - g: flexible Leiterplatten.

## Leiterfelder



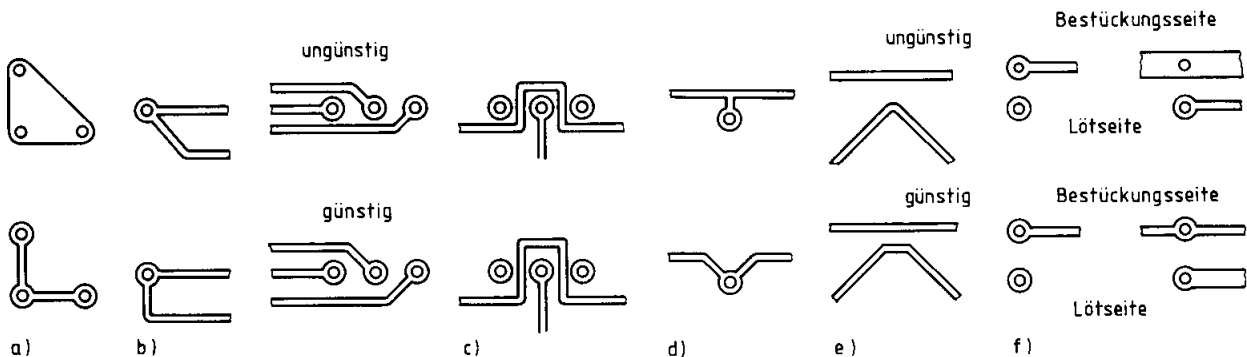
1 kupferfreie Fläche

## Anschluß von Leiterfeldern



1 Bestückungsloch, 2 Kupferschicht, 3 Anschlußbereich

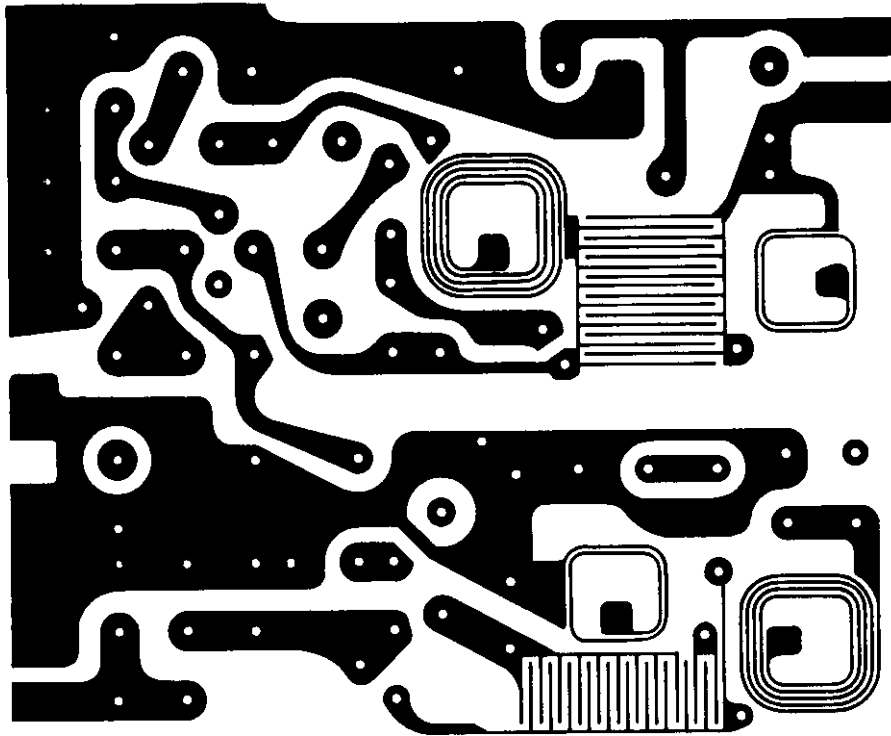
## Gestaltung von Leiterbilddetails



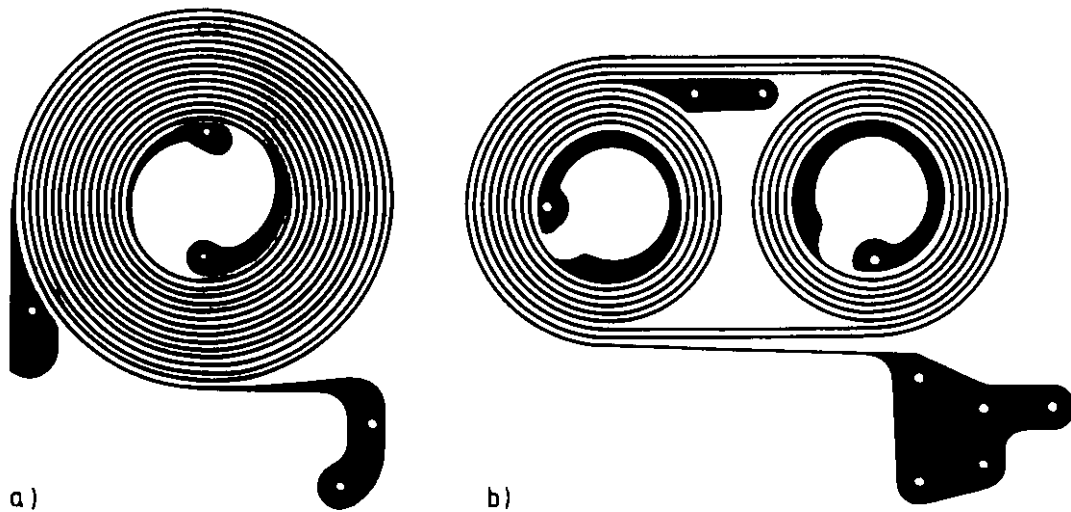
- a) Zusammenfassung von Lötäugen in Leiterzüge auflösen,
- b) Winkel  $< 90^\circ$  vermeiden,
- c) Anzahl minimal zulässiger Leiterabstände minimieren,
- d) mit Leiterbildfehlstellen zu verwechselnde Leiterzüge vermeiden,
- e) gegen Leiterzüge gerichtete Spitzen aus elektrischen Gründen vermeiden,
- f) bestückungsseitig größere Leiterquerschnitte als lötseitig vermeiden.



# Gedruckte Funktionselemente

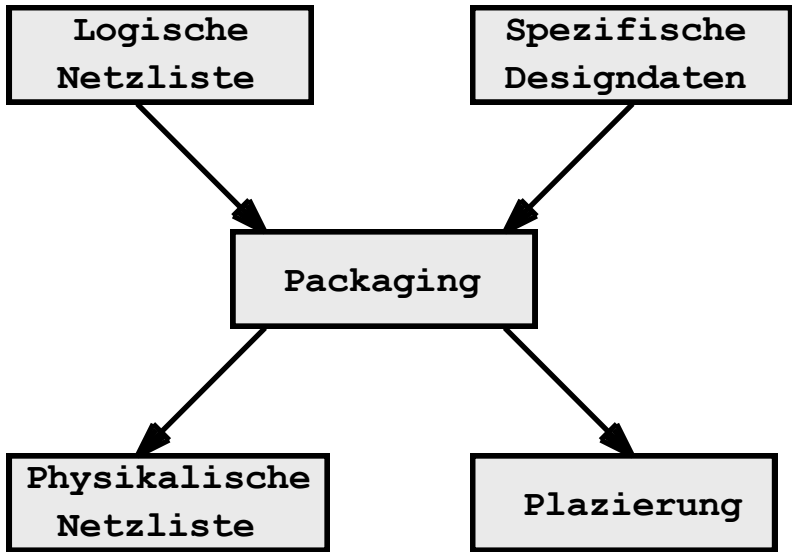
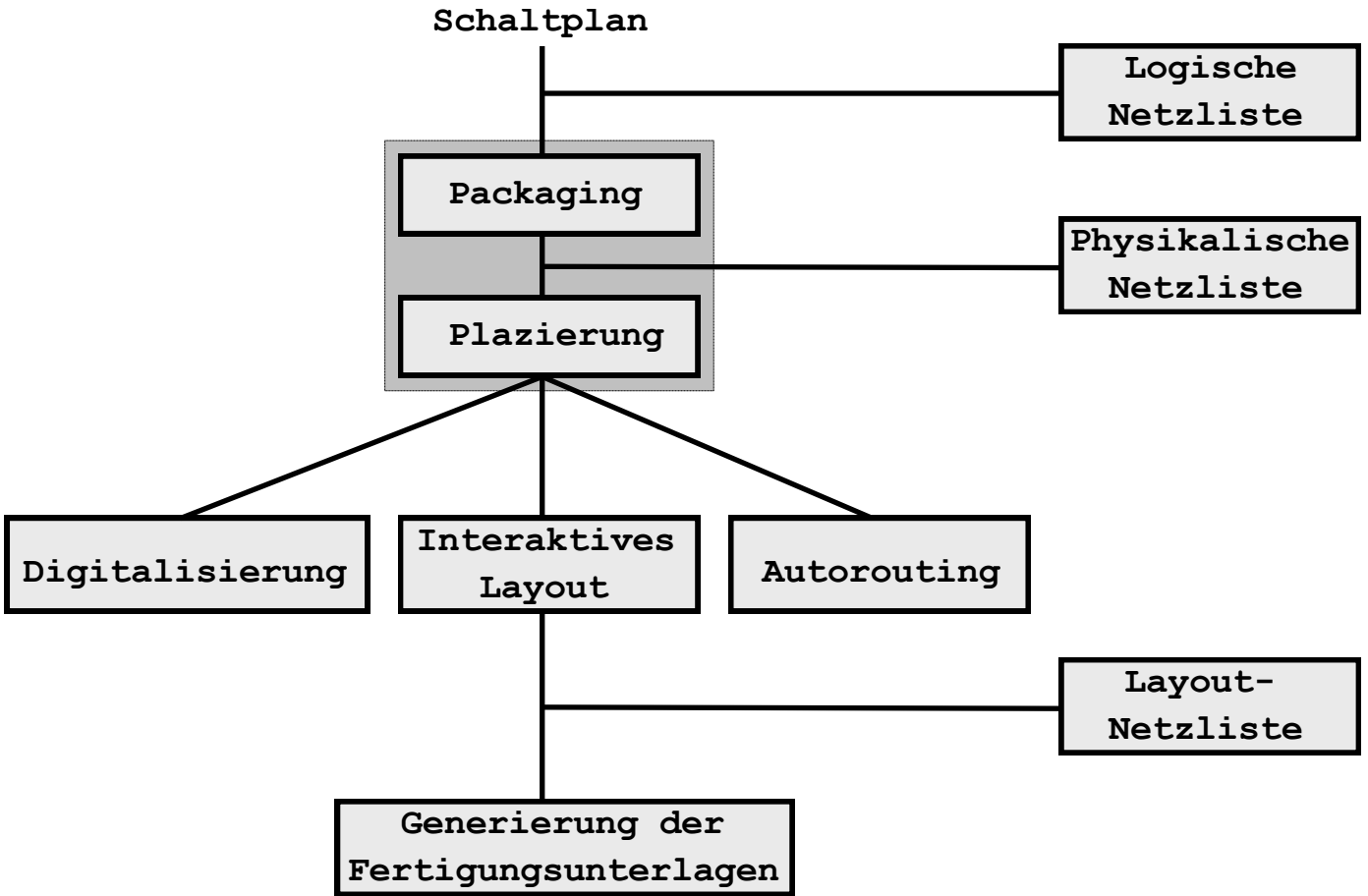


Gedrucktes Filter

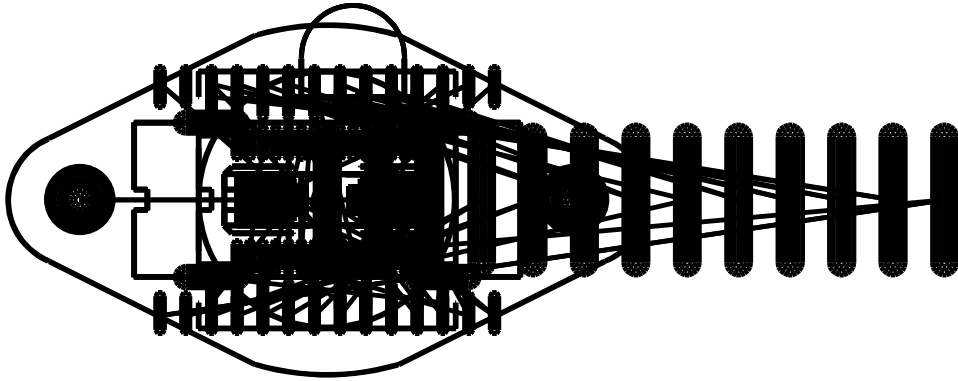


Bifilarspule (a) und Spulenpaar (b)

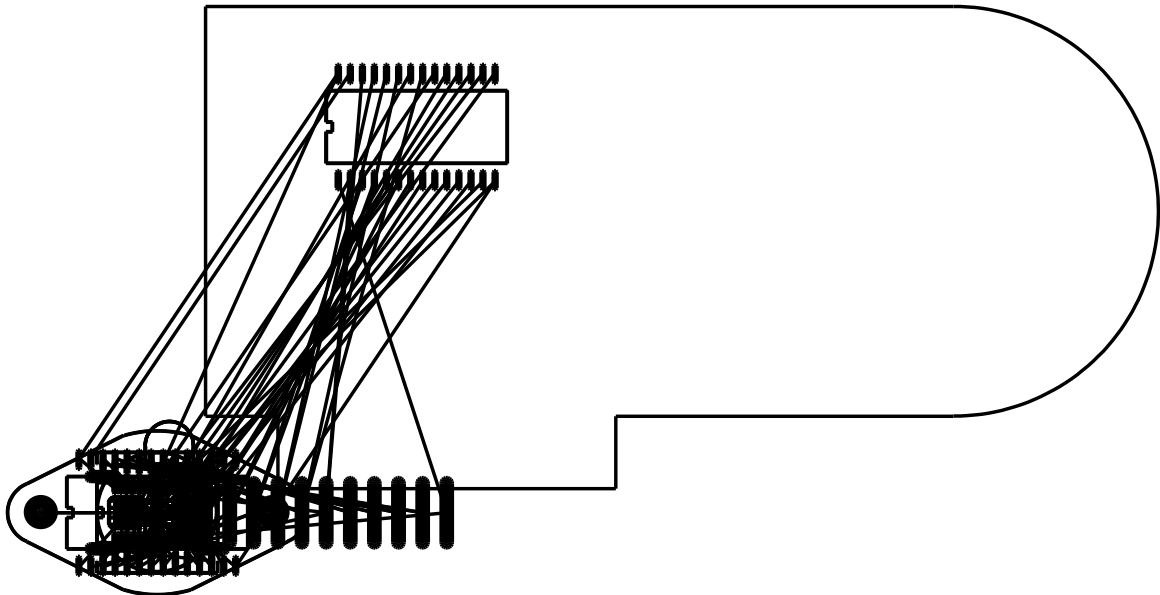
# CAD-Layoutverfahren



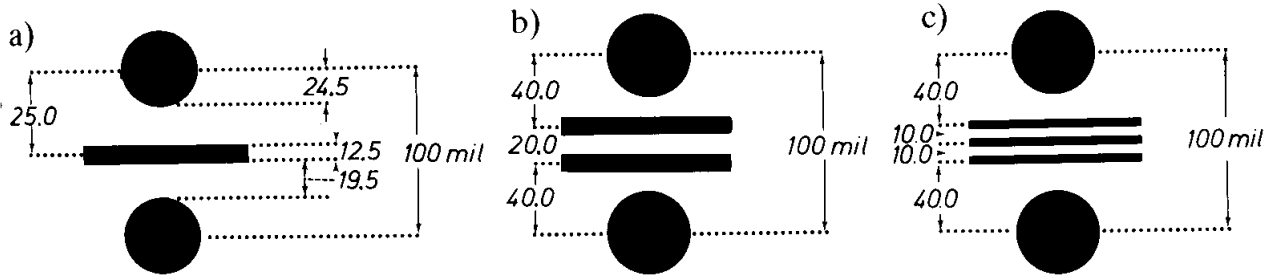
## Vorplatzierung



## Platzierung

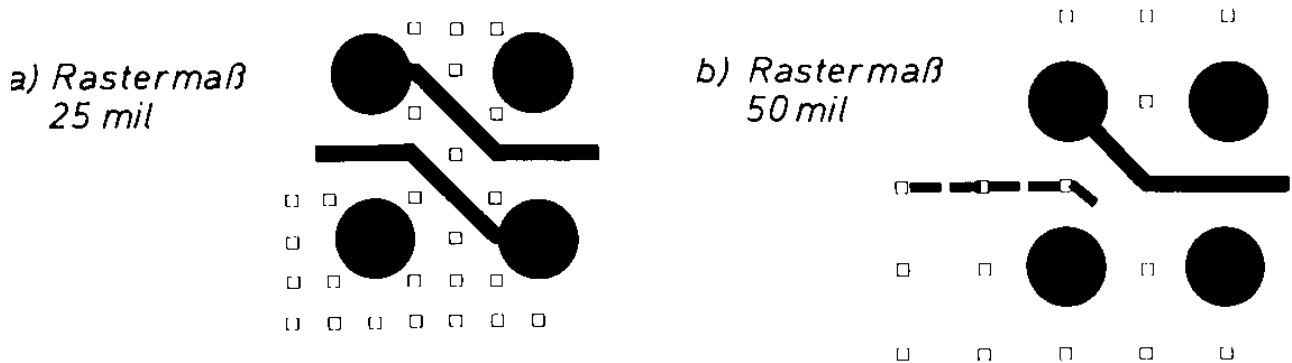


# Verdrahtungsraster

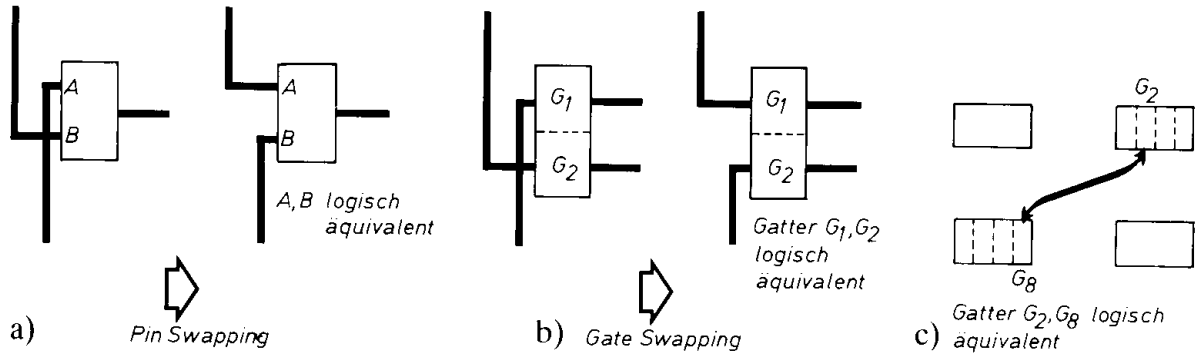


a) 50 mil, b) 40/20/40 mil, c) 40/10/10/40 mil

# Verdrahtung diagonaler Leiterbahnelemente

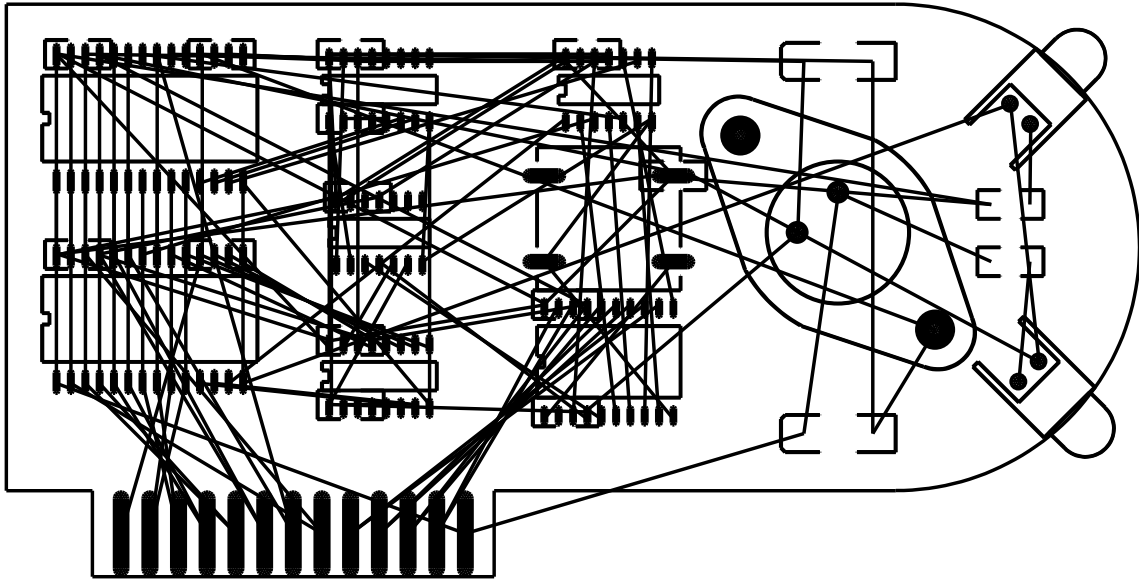


# Plazierungsoptimierung

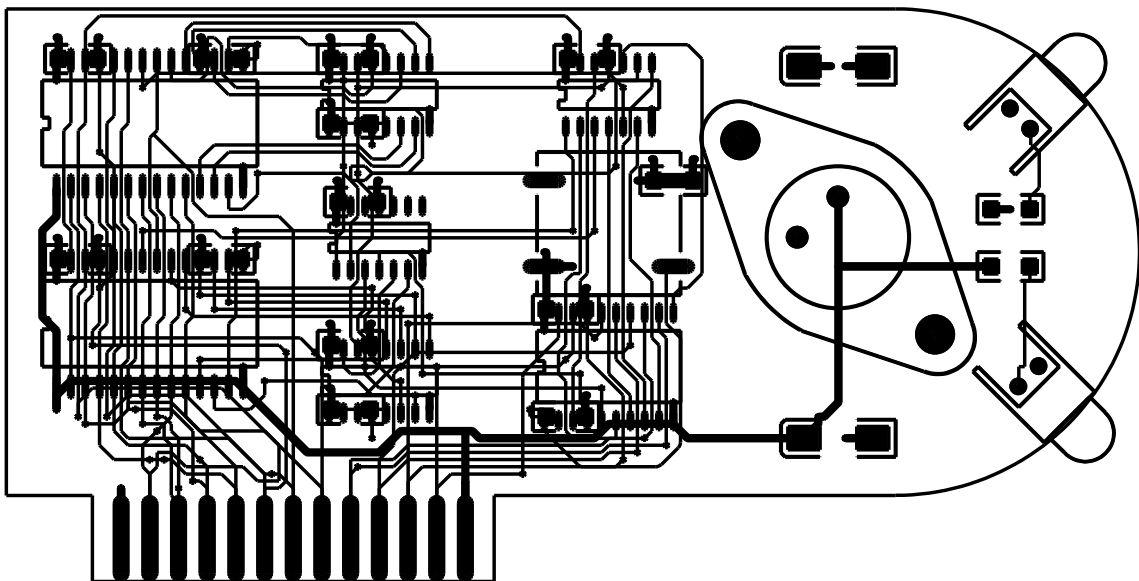


- a) Pin Swapping,
- b) Gate Swapping,
- c) Tausch logisch äquivalenter Gatter mehrerer Gehäuse.

## Plazierung (*placement*)



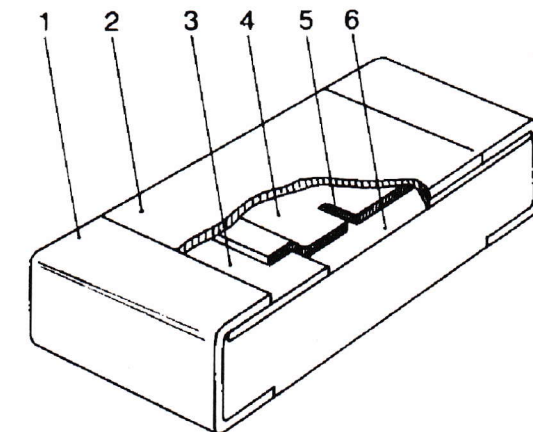
## Entflechtung (*Routing*)



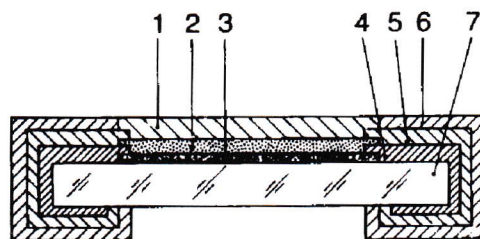
# Oberflächenmontierte Bauteile

**SMD:** Surface Mounted Device  
(Oberflächenmontiertes Bauteil)  
**SMT:** Surface Mounting Technology

## SMD-Chip-Widerstände



a)



b)

### a) Widerstand in Dickfilm-Technik:

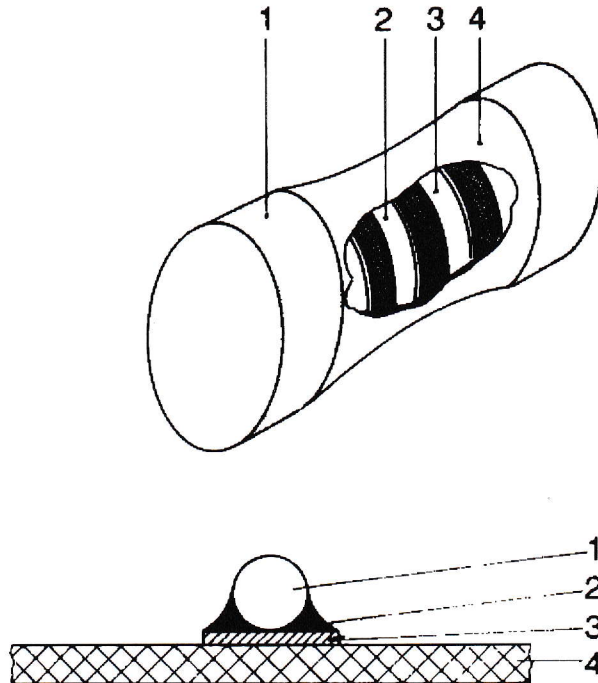
- |                      |                                  |
|----------------------|----------------------------------|
| 1 Lötanschluß        | 2 Schutzabdeckung                |
| 3 Elektrode          | 4 Dickfilm-Widerstandsschicht    |
| 5 Laser-Trimmschnitt | 6 Aluminiumoxid-Keramik-Substrat |

### b) Widerstand in Dünnschicht-Technik:

- |                        |                |
|------------------------|----------------|
| 1 Schutzabdeckung      | 2 Siliziumoxid |
| 3 CrNi-Widerstandsfilm | 4 Cr           |
| 5 Cu                   | 6 Verzinnung   |
| 7 Keramik-Substrat     |                |

# MELF-Widerstand

## *Metal Electrode Face Bonding*



**oben:**

- 1 Anschlußkappe
- 2 Keramik-Grundkörper
- 3 aufgedampfte Widerstandsschicht (Kohle, Ni, CrNi)  
mit wendelförmigem Laser-Schnitt
- 4 Abdeckung

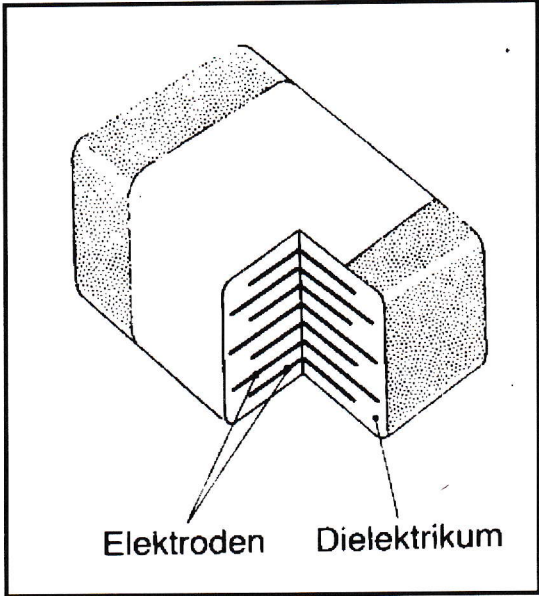
**unten:**

Lötfugen-Ausbildung am zylindrischen MELF:

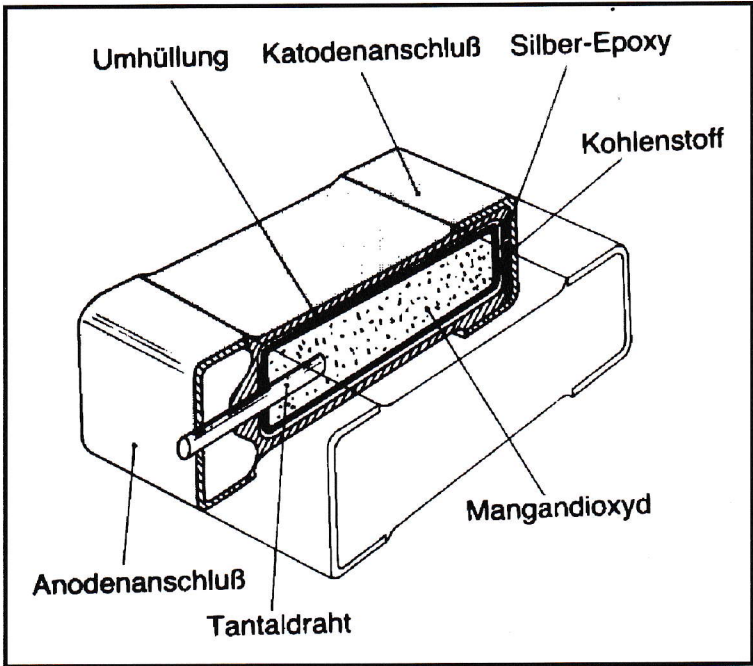
- 1 MELF
- 2 Lotmeniskus
- 3 Leiterbahn
- 4 Substrat (Basismaterial)



# SMD - Gehäuseformen



**Keramik-Vielschicht-Kondensator**



**Tantal-Chip-Kondensator**

# Gehäuseformen SO (Small Outline)

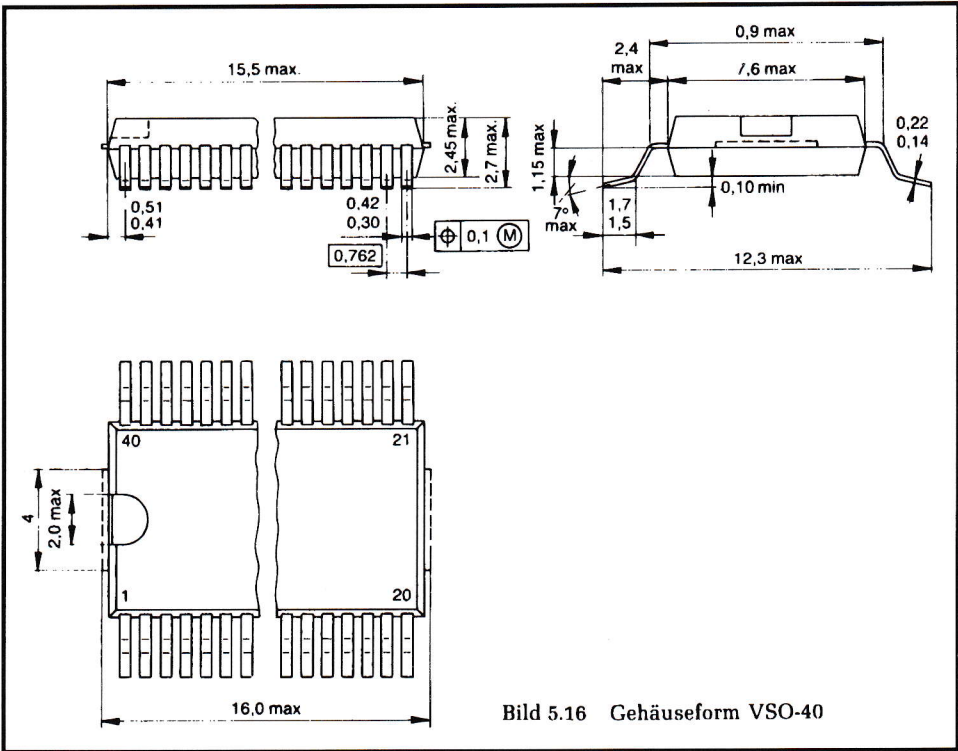
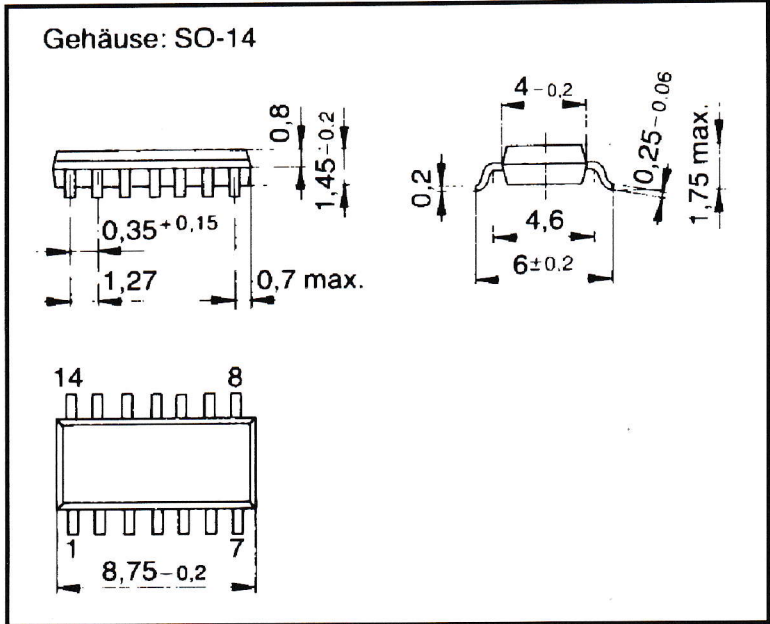
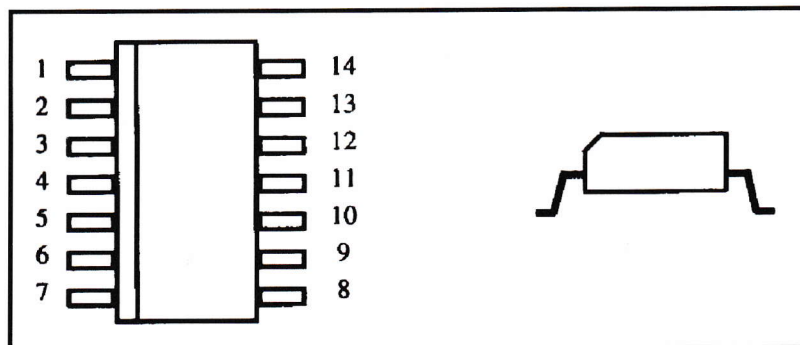
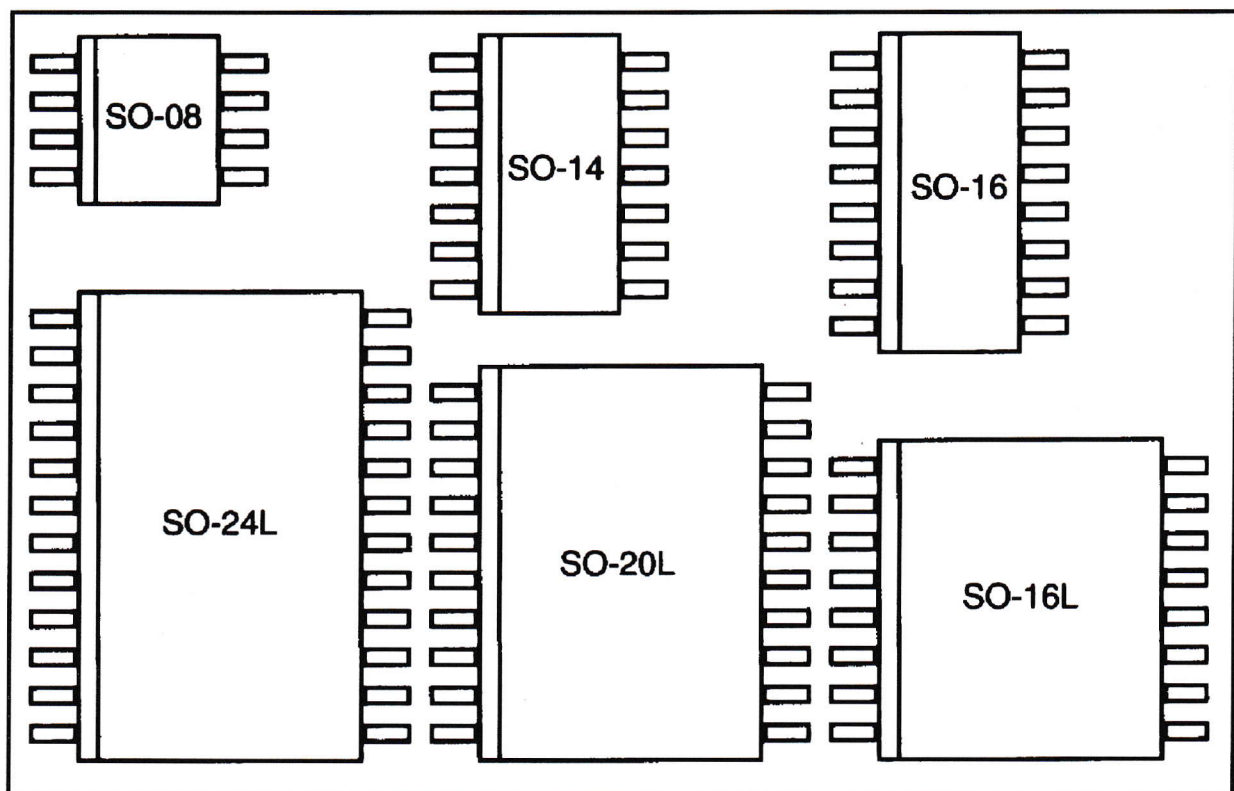


Bild 5.16 Gehäuseform VSO-40

# Gehäuseformen SO (*Small Outline*)

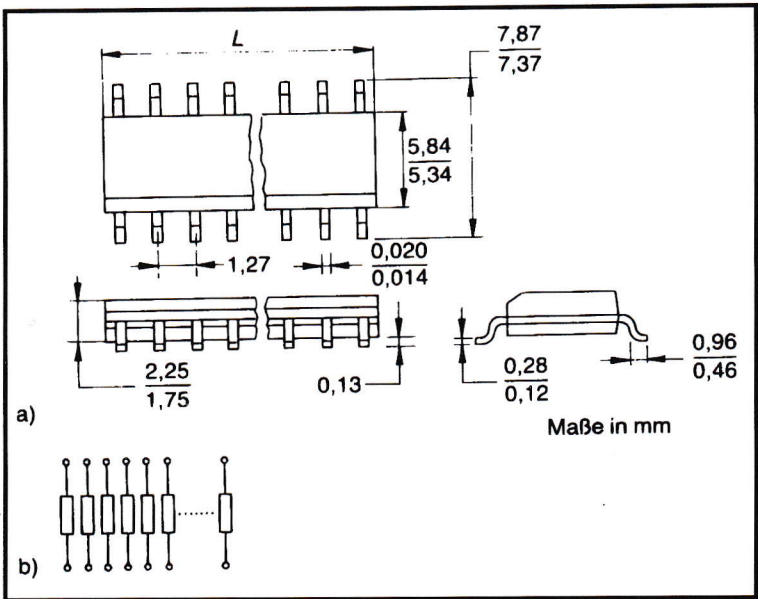


SO-14



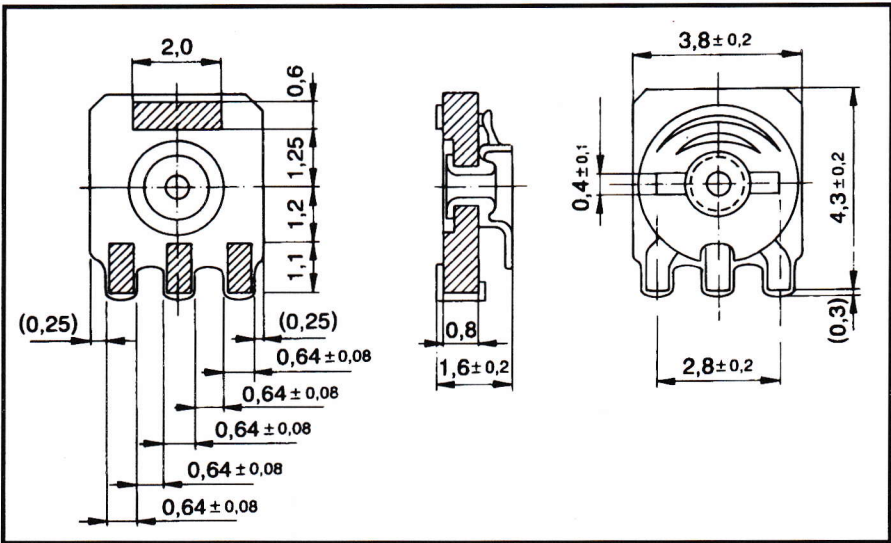
SO-Gehäuse von 8 bis 24 Anschlüssen  
(150 bis 300 mil Breite)

# SMD - Gehäuseformen



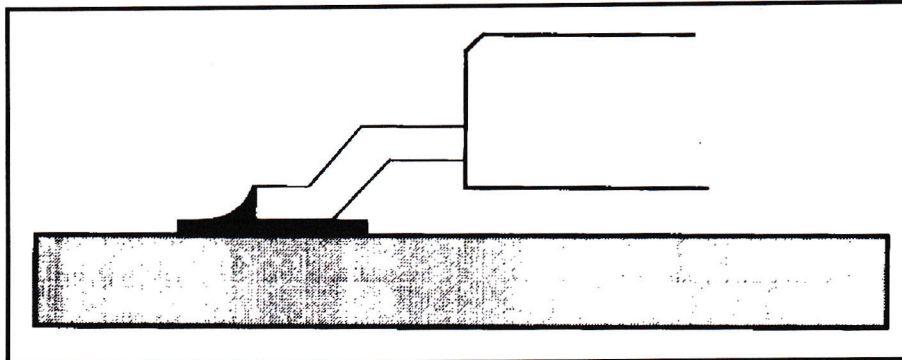
**Widerstandsnetzwerk im SO-Gehäuse**

- a) Gehäuse-Abmessungen
- b) Elektrische Schaltung

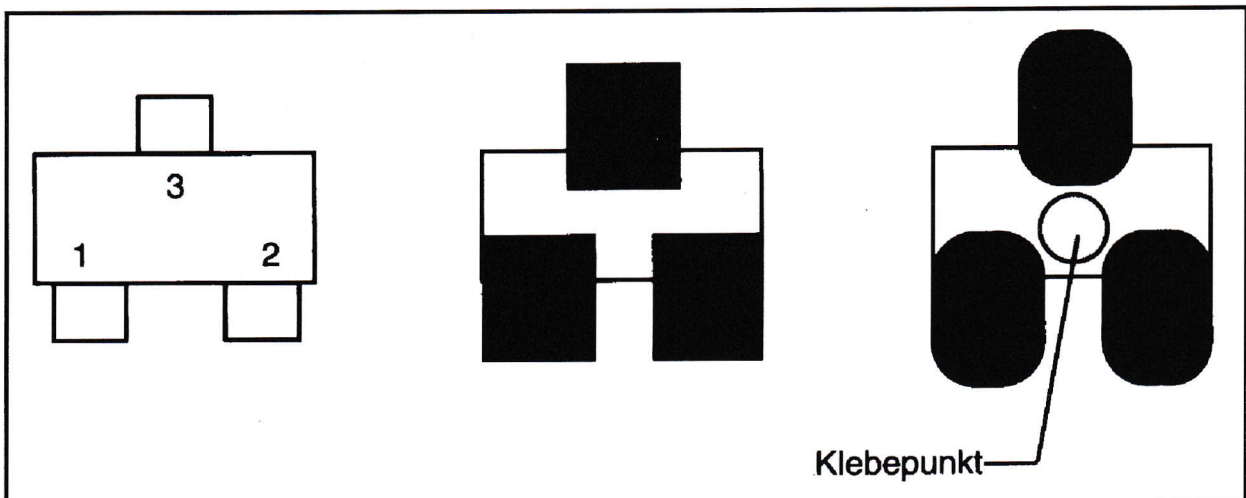


**Trimpotentiometer für Oberflächenmontage**

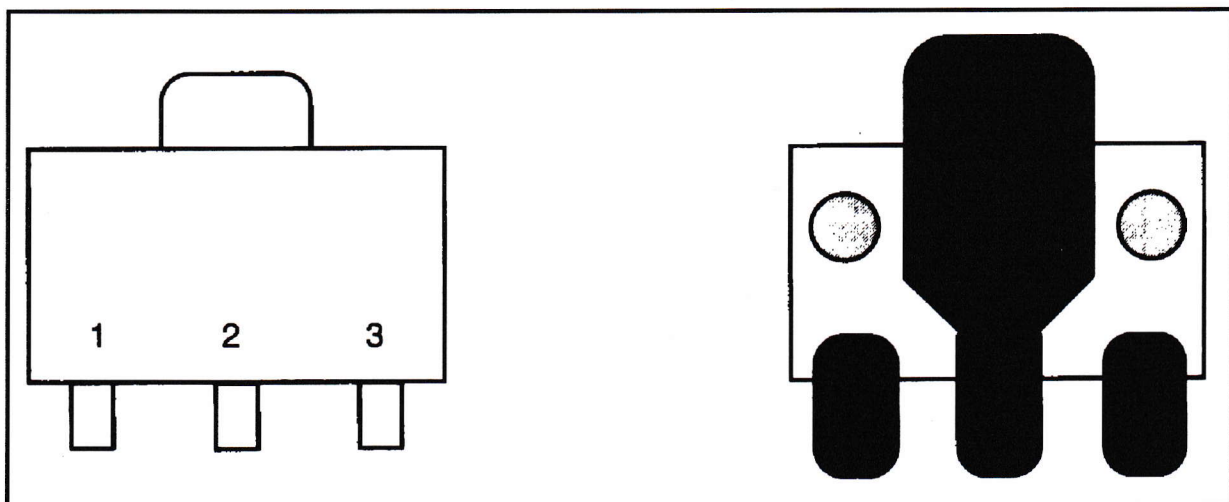
## SMD-Gehäuse und Pads



Sauber ausgebildete Lötkehle

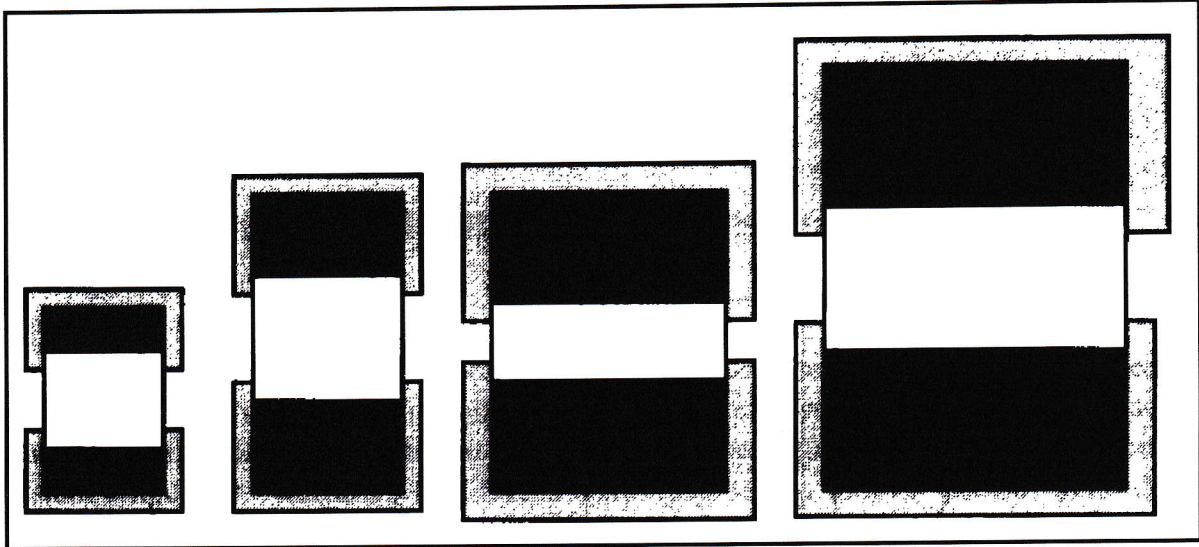


Gehäuse SOT-23 mit Löt pads für Reflow- und Wellenlötung



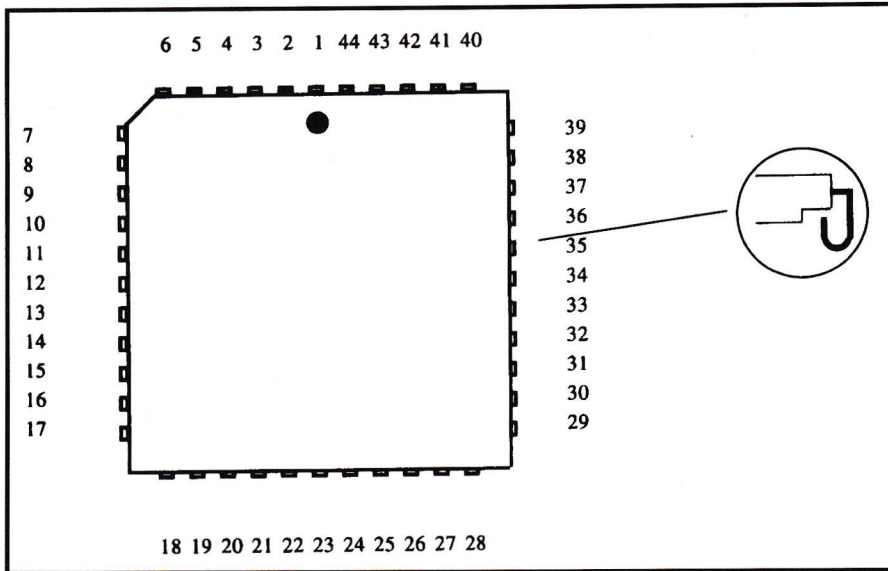
Gehäuse SOT-89 mit Löt pads für Wellenlötung

# Chip-Bauformen (Passive Bauelemente)

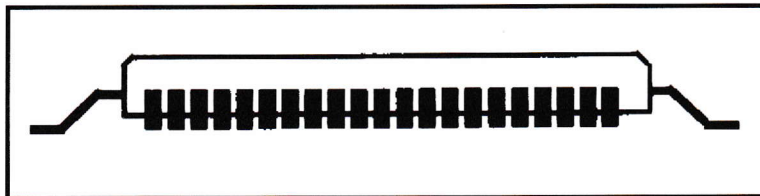


(0805, 1206, 1210 und 1812)

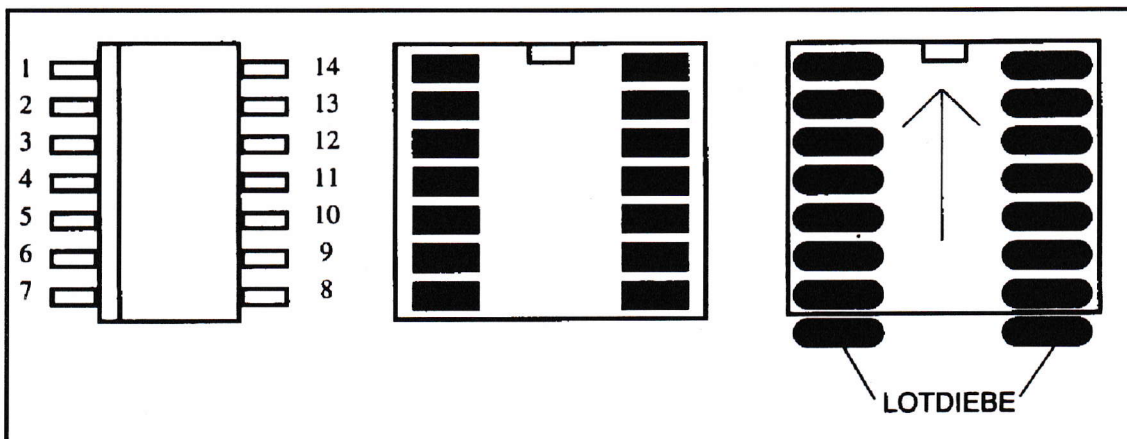
# SMD-Gehäuse und Pads



**Gehäuse PLCC-44**



**Quad-Flat-Pack-Gehäuse**



**SO-14-Gehäuse mit den Symbolen für Reflow- und Wellenlöttechnik**